

**ΑΞΙΟΛΟΓΗΣΗ ΨΗΦΙΑΚΩΝ ΗΛΕΚΤΡΟΝΙΚΩΝ ΙΙ
Α΄ ΤΕΤΡΑΜΗΝΟ 2023 -2024**

ΤΜΗΜΑ : ΘΗΨ3

ΗΜΕΡ : __/12/2023.....

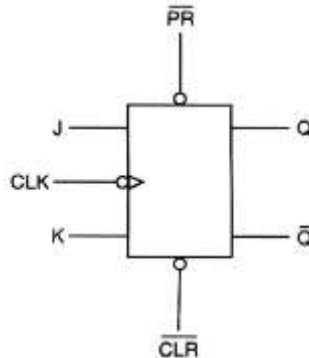
ΟΝΟΜΑ:

1. Να εξηγήσετε τι είναι ο ηλεκτρικός θόρυβος και πως επηρεάζει την λειτουργία μιας λογικής οικογένειας. (5 Μον.)

Ο ηλεκτρονικός θόρυβος σε ένα ηλεκτρονικό κύκλωμα είναι οι ανεπιθύμητες παρασιτικές τάσεις, που προκαλούνται εξ επαγωγής στα καλώδια και στους αγωγούς του τυπωμένου κυκλώματος. Προστίθενται στα κανονικά σήματα και τα αλλοιώνουν
2. Να αναφέρετε δύο πλεονεκτήματα της λογικής οικογένειας CMOS σε σύγκριση με τη λογική οικογένεια TTL (5 Μον.)

1) Μικρή κατανάλωση ισχύος

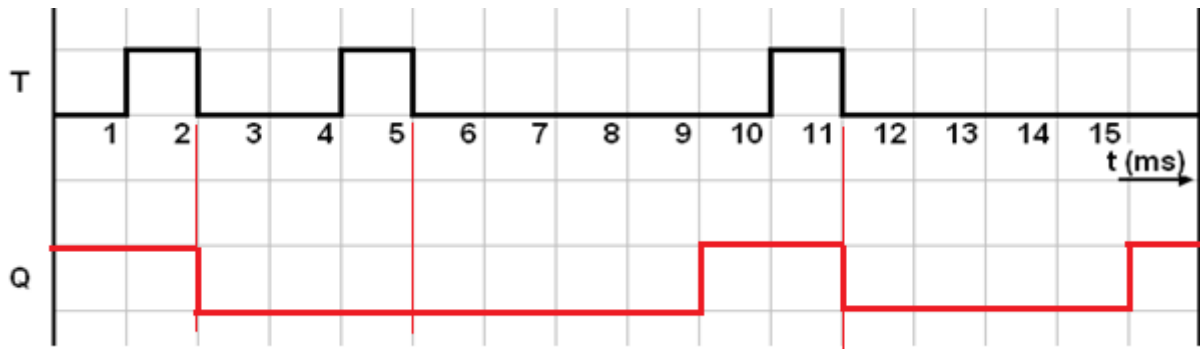
2) Μεγάλο περιθώριο θορύβου
3. Στο σχήμα δίνεται το λογικό σύμβολο ενός σύγχρονου JK Φλιπ Φλοπ με σύγχρονες και ασύγχρονες εισόδους. Να συμπληρώσετε στον πίνακα τις λογικές καταστάσεις των εξόδων του Φλιπ Φλοπ του σχήματος για κάθε μια από τις 5 ανεξάρτητες περιπτώσεις. (5 Μον.)



α/α	Είσοδοι					Έξοδοι		Κατάσταση
	CLK	J	K	\overline{PR}	\overline{CLR}	Q_{n+1}	\overline{Q}_{n+1}	
1	↓	1	1	1	0	0	1	Clear
2	↑	1	0	1	1	Q_n	\overline{Q}_n	Memory
3	↓	1	1	1	1	\overline{Q}_n	Q_n	Toggle
4	↓	1	1	0	1	1	0	Preset
5	↓	0	0	1	1	Q_n	\overline{Q}_n	Memory

4. Στο σχήμα δίνεται το χρονικό διάγραμμα των παλμών διέγερσης ενός επαναδιεγειρόμενου μονοσταθή πολυδονητή ο οποίος διεγείρεται στα αρνητικά μέτωπα των παλμών διέγερσης. Να σχεδιάσετε το χρονικό διάγραμμα της εξόδου Q του πολυδονητή, αν ο χρόνος βολής του είναι 4 ms και η σταθερή του κατάσταση είναι το λογικό 1. (5 Μον.)

Β΄ ΤΕΣΕΚ ΓΡΗΓΟΡΗΣ ΑΥΞΕΝΤΙΟΥ ΛΕΜΕΣΟΥ



5. Τι εννοούμε με τον όρο “καθυστέρηση διάδοσης” μιας λογικής οικογένειας; (5 Μον.)

Η καθυστέρηση διάδοσης μιας λογικής οικογένειας είναι ο χρόνος που χρειάζεται για να μεταφερθεί στην έξοδο μιας πύλης μια μεταβολή, που λαμβάνει χώρα στην είσοδό της

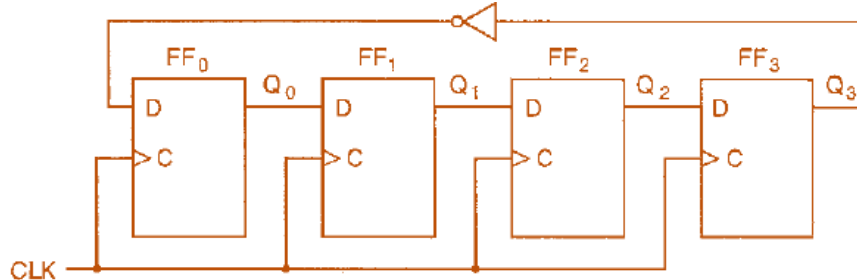
6. (α) Αν η συχνότητα (f_{CLK}) του ωρολογίου κυκλώματος απαριθμητή Τζόνσον (Johnson) 4-bit είναι 4MHz. Να υπολογίσετε τη συχνότητα των παλμών στην έξοδο του κάθε Φλιπ Φλοπ του απαριθμητή. (5 Μον.)

$$f_Q = \frac{f_{clk}}{2N} = \frac{4Mhz}{2 \cdot 4} = 500khz$$

- (β) Να συμπληρώσετε τον πίνακα λειτουργίας του απαριθμητή Johnson 4-bit ο οποίος έχει αρχική κατάσταση 0000 (5 Μον.)

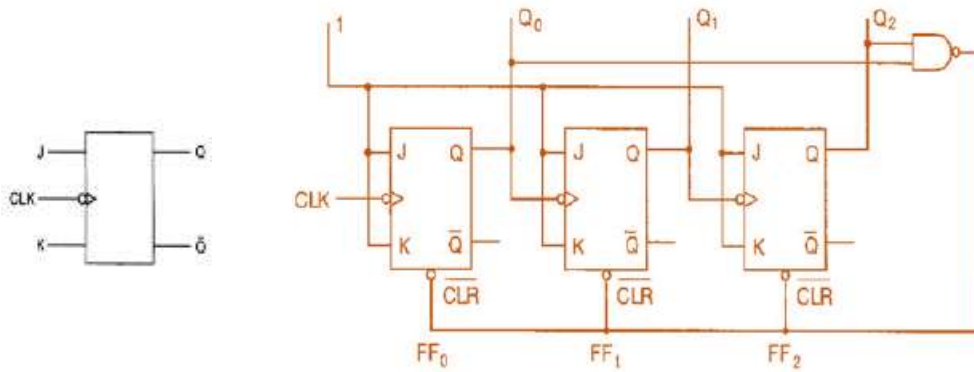
Παλμός Χρονισμού	Q_0	Q_1	Q_2	Q_3
0	0	0	0	0
1	1	0	0	0
2	1	1	0	0
3	1	1	1	0
4	1	1	1	1
5	0	1	1	1
6	0	0	1	1
7	0	0	0	1
8	0	0	0	0

- (γ) Να σχεδιάσετε κύκλωμα απαριθμητή Johnson 4-bit. (5 Μον.)

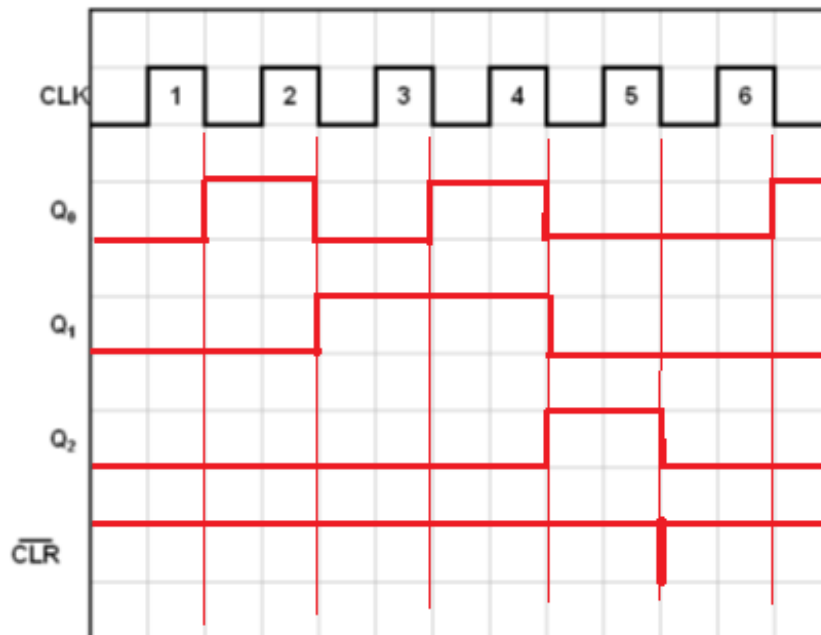


7. Στο πιο κάτω σχήμα δίνεται το σύμβολο ενός JK φλιπ φλοπ και ζητούνται: (25 Μον.)

- α. Να σχεδιάσετε κύκλωμα ασύγχρονου απαριθμητή που μετρά προς τα πάνω με μέτρο 5 (MOD 5). (5 Μον.)



β. Να σχεδιάσετε τα χρονικά διαγράμματα των τριών εξόδων και του σήματος \overline{CLR} του απαριθμητή (5 Μον.)



γ. Να υπολογίσετε το μέγιστο μέτρο του απαριθμητή. (5 Μον.)

$$\text{MaxMod} = 2^3 = 8$$

δ. Ο χρόνος καθυστέρησης κάθε Φλιπ Φλοπ του απαριθμητή είναι 20ns. Να υπολογίσετε τη μέγιστη συχνότητα του ωρολογίου CLK. (5 Μον.)

$$f_{max} = \frac{1}{v \cdot t_p} = \frac{1}{3 \cdot 20} 10^9 \text{Hz} = 16.67 \text{Mhz}$$

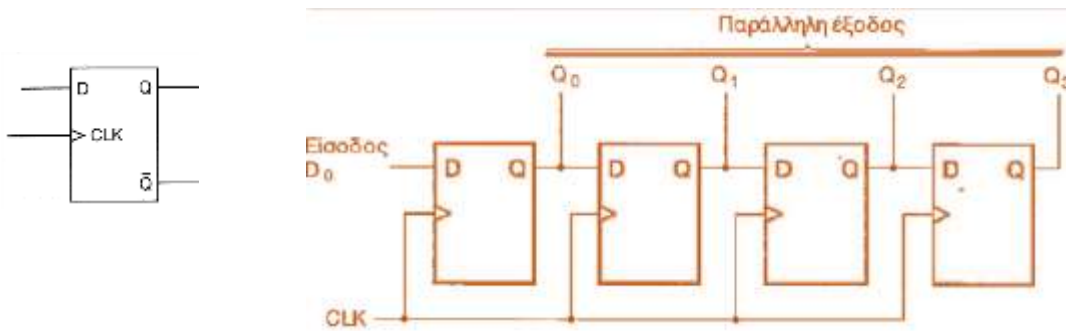
ε. Αν η συχνότητα των ωρολογιακών παλμών (CLK) είναι 20MHz, να υπολογίσετε τη συχνότητα των παλμών στην έξοδο Q του κάθε Φλιπ Φλοπ του κυκλώματος (5 Μον.)

$$f_{Q0} = f_{clk} / 2 = \frac{20 \text{Mhz}}{2} = 10 \text{Mhz}$$

$$f_{Q1} = f_{clk} / 4 = \frac{20 \text{Mhz}}{4} = 5 \text{Mhz}$$

$$f_{Q2} = f_{clk} / N = \frac{20 \text{Mhz}}{5} = 4 \text{Mhz}$$

8. (α) Με τη χρήση του D Φλιπ Φλοπ του σχήματος, να σχεδιάσετε έναν καταχωρητή 4 bit με διαδοχική είσοδο και παράλληλη έξοδο. (5 Μον.)



(β) Να υπολογίσετε τον συνολικό χρόνο που θα χρειαστεί για να αποθηκευτεί μια πληροφορία 4-bit στον καταχωρητή αν η συχνότητα των παλμών του ωρολογίου (CLK) είναι 40MHz. (5 Μον.)

$$T = 1/f = 1/40\text{Mhz} = 25\text{ns} \Rightarrow \text{το}\lambda = n \cdot T = 4 \cdot 25\text{ns} = 100\text{ns}$$

(γ) Θέλουμε να δημιουργήσουμε χρονική καθυστέρηση 50ns σε ένα σειριακό σήμα. Να υπολογίσετε την έξοδο από την οποία θα πρέπει να εξέλθει σειριακά το σήμα αν η συχνότητα ωρολογίου είναι 40MHz. (2 Μον.)

$$T = 1/f = 1/40\text{Mhz} = 25\text{ns} \Rightarrow \text{td} = n \cdot T \Rightarrow 50\text{ns} = n \cdot 25\text{ns} \Rightarrow n=2. \text{ Από την δεύτερη έξοδο δηλαδή το } Q_1$$

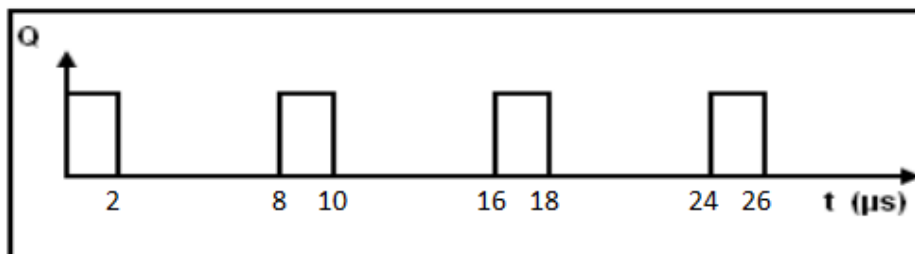
(δ) Να αναφέρετε τρεις χρήσεις του κυκλώματος που σχεδιάσατε. (3 Μον.)

- i. Προσωρινή αποθήκευση δεδομένων
- ii. Ως κύκλωμα μετατροπής σειριακού σήματος σε παράλληλο
- iii. Ως κύκλωμα δημιουργίας χρονικής καθυστέρησης

9. (α) Αν η συχνότητα (f_{CLK}) του ωρολογίου κυκλώματος κυκλικού απαριθμητή 4-bit είναι 4MHz. Να υπολογίσετε τη συχνότητα των παλμών στην έξοδο του κάθε Φλιπ Φλοπ του απαριθμητή. (5 Μον.)

$$f_Q = f_{\text{clk}}/N = 4\text{Mhz}/4 = 1\text{Mhz}$$

10. Στο σχήμα δίνεται η κυματομορφή εξόδου (Q) ενός ασταθή πολυδονητή. Να υπολογίσετε: (5 Μον.)



- α. την περίοδο, $T = 8\mu\text{s}$
- β. τη συχνότητα, $f = 1/T = 1/8\mu\text{s} = 125\text{Khz}$
- γ. τον κύκλο δράσης, $d. = (th/T) \cdot 100\% = 25\%$
- δ. τον χρόνο που η έξοδος έχει τιμή High $2\mu\text{s}$
- ε. τον χρόνο που η έξοδος έχει τιμή Low $6\mu\text{s}$

11. Δίνεται το κύκλωμα σκανδάλης Σμιτ και το σήμα εισόδου. Ζητούνται : (10 Μον.)

α. Να υπολογίσετε την τιμή της αντίστασης R_2 , ώστε η υστέρηση να είναι 1V. (3 Μον.)

$$U_{\sigma} = \frac{R_1}{R_1 + R_2} (E_H - E_L) \Rightarrow 1V = \frac{2}{2 + R_2} (8 - (-4)) \Rightarrow R_2 = 22K\Omega$$

β. Να υπολογίσετε τις δυο τάσεις κατωφλίου. (3 Μον.)

$$U_L = \frac{R_1}{R_1 + R_2} (E_L) = -0.33V \qquad U_H = \frac{R_1}{R_1 + R_2} (E_H) = -0.67V$$

γ. Να σχεδιάσετε το σήμα εξόδου. (4 Μον.)

