



ΘΗΨ3

Ψηφιακά Ηλεκτρονικά

Επανάληψη Α' Τετραμήνου



Επανάληψη Α Τετράμηνου



1. Λογικές οικογένειες
2. Φλίπ- Φλόπς
 - i. SR - FF
 - ii. JK - FF
 - iii. D - FF
 - iv. T - FF
3. Κυκλώματα παραγωγής και διαμόρφωσης παλμών
 - i. Μονοσταθής Πολυδομητής
 - ii. Ασταθής πολυδομητής
 - iii. Κύκλωμα σκανδάλης Σμιδ
4. Απαριθμητές (Προς τα πάνω ή προς τα κάτω)
 - i. Ασύγχρονοι (Δυαδικοί – Δεκαδικοί)
 - ii. Σύγχρονοι
5. Καταχωρητές – Ολισθητές
 - i. SISO – SIPO – PISO – PIPO
 - ii. Κυκλικός Ολισθητής – Κυκλικός Απαριθμητής – Απαριθμητής Johnson

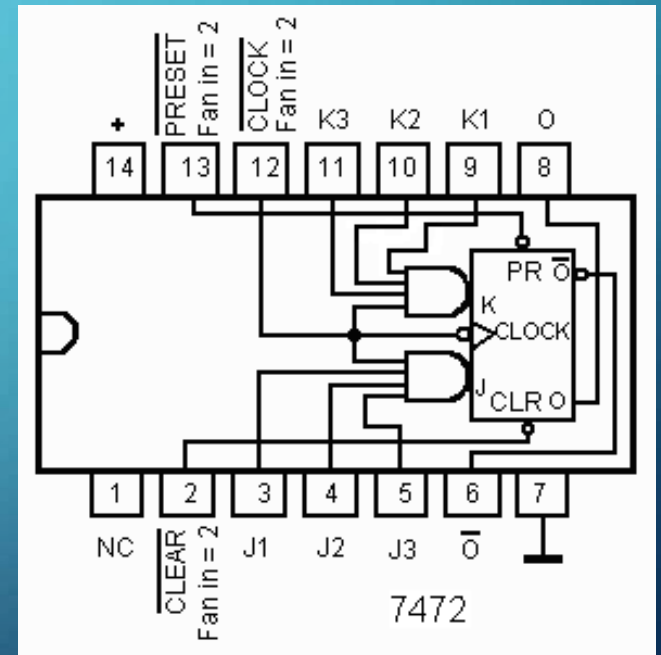


1. Λογικές οικογένειες



Σήμερα για την κατασκευή των λογικών κυκλωμάτων, χρησιμοποιούμε σχεδόν αποκλειστικά ICs. Γιατί;

- φθηνή τεχνολογία,
- μικρός όγκος,
- εύκολη χρήση,
- μικρή κατανάλωση,
- Μεγάλη αξιοπιστία,
- Εύκολη και απλή κατασκευή.



1. Λογικές οικογένειες



Με τον όρο Λογική οικογένεια εννοούμε ένα σύνολο συγγενικών ολοκληρωμένων κυκλωμάτων που έχουν κοινά καθορισμένα τεχνολογικά χαρακτηριστικά ώστε να μπορούν εύκολα να συνδεθούν μεταξύ τους

Οι πιο γνωστές Λογικές οικογένειες

- TTL (Transistor Transistor Logic)**
 - Διπολικά τρανζίστορ
- C-MOS (Complementary Metal Oxide Semiconductor)**
 - MOSFET τρανζίστορ

1. Λογικές οικογένειες - χαρακτηριστικά

1. Καταναλισκόμενη ισχύς (Power dissipation)
2. Λογικά επίπεδα Εισόδου – Εξόδου
3. Περιθώριο Θορύβου
4. Καθυστέρηση διάδοσης
5. Ικανότητα οδήγησης
6. Τάση τροφοδοσίας
7. Γινόμενο Ταχύτητας - Ισχύος
8. Βαθμός ολοκλήρωσης

Σειρές λογικής οικογένειας TTL

Ονομασία λογικής οικογένειας TTL - Εμπορικός κώδικας

- | | |
|--|-----------|
| 1. Κανονική TTL (Standard TTL) | - 74XXX |
| 2. Χαμηλής ισχύος TTL (Low Power TTL) | - 74LXXX |
| 3. Ψηλής ταχύτητας TTL (High - Speed TTL) | - 74HXXX |
| 4. Σιότκι TTL (Schottky TTL) | - 74SXXX |
| 5. Χαμηλής ισχύος Schottky TTL (Low Power Schottky TTL) | - 74LSXXX |

Σειρές λογικής οικογένειας TTL

Χαρακτηριστικά Κανονικής TTL (Standard TTL)

1. Τάση τροφοδοσίας : +5V
2. Λογικά επίπεδα :
 - (α) Εξόδου : Λογικό 0 : 0V - 0,4V / Λογικό 1 : 2,4V- 5V
 - (β) Εισόδου : Λογικό 0 : 0V - 0,8V / Λογικό 1 : 2V- 5V
3. Περιθώριο θορύβου : 0,4V
4. Ικανότητα οδήγησης (Fan-Out) : 10
5. Καταναλισκόμενη ισχύς (Power dissipation) : 10 mW
6. Καθυστέρηση διάδοσης (Propagation Delay) : 10ns

Σειρές λογικής οικογένειας TTL

Χαρακτηριστικά Κανονικής TTL (Standard TTL) ...συνέχεια

7. Εμπορικός κωδικός : 74XXX
8. Θερμοκρασίες λειτουργίας :
 - (α) σειράς 74XXX 0°C ως 70°C
 - (β) σειράς 54 (για στρατιωτικούς σκοπούς) -55°C ως +125°C
9. Κατασκευή από διπολικά τρανζίστορ
10. Συμπεριφορά ασύνδετης εισόδου :

Μια ασύνδετη είσοδος συμπεριφέρεται ως να είναι συνδεδεμένη στο λογικό 1.

Λογικές οικογένειες MOS

Πλεονεκτήματα

- Μικρή κατανάλωση ισχύος – χρησιμοποιούνται σε συσκευές που λειτουργούν με μπαταρίες.
- Εύκολη και φθηνή κατασκευή
- Μικρός όγκος των τρανζίστορ => Μεγάλη Πυκνότητα ολοκλήρωσης (Δεν έχουν αντιστάσεις στα κυκλώματά τους)
- Μεγάλο περιθώριο θορύβου
- Δεν απαιτούν σταθερή τάση τροφοδοσίας

Λογικές οικογένειες MOS

Μειονεκτήματα

- Χρόνος διάδοσης σχετικά μεγάλος => ταχύτητα λειτουργίας μικρή
- Τα IC MOS είναι ευαίσθητα στο στατικό ηλεκτρισμό.
Μέτρα προστασίας τους:
 - (α) φυλάσσονται σε ειδικό αγώγιμο αφρώδες υλικό ή σε αλουμινόχαρτο
 - (β) Όλες οι συνδέσεις πρέπει να γίνονται χωρίς τροφοδοσία
 - (γ) Οι είσοδοι που δεν χρησιμοποιούνται πρέπει να συνδέονται στη γείωση για το λογικό 0 και στη τροφοδοσία για το λογικό 1.
 - (δ) Ο τεχνικός πρέπει να είναι γειωμένος (να μην έχει ηλεκτροστατικό φορτίο) όταν χειρίζεται τα κυκλώματα MOS.
 - (ε) Τα σήματα εισόδου δεν πρέπει να είναι μεγαλύτερα από την τάση τροφοδοσίας.

Σειρές Λογικής οικογένειες CMOS

Τύπος

Standard

Λειτουργικά συμβατή με TTL

Εμπορικός κωδικός

40XX

74CXX

40XXB

Ψηλής ταχύτητας

Low voltage(3,3V)

Προηγμένη CMOS

74HCXX

74LVXX

74ACXX

Ψηλή ταχύτητα,
χαμηλή κατανάλωση,
λογικά επίπεδα εισόδου
της TTL

74ACTXX

Σύγκριση λογικής οικογένειας CMOS με TTL

| Χαρακτηριστικά | CMOS | TTL |
|-----------------------------------|---------------------|------------|
| Κατανάλωση ισχύος P | 10μW | 10mW |
| Τάση τροφοδοσίας | 3-15V | 5V |
| Θερμοκρασία λειτουργίας | -40~+85C | 0C-70C |
| Ικανότητα οδήγησης | 50 | 10 |
| Περιθώριο θορύβου | 40% V _{cc} | 0,4V |
| Κατασκευή | απλή | πολύπλοκη |
| Πυκνότητα ολοκλήρωσης | μεγάλη | μικρότερη |
| Ταχύτητα λειτουργίας | χαμηλή | ψηλή |
| Ευαισθησία στο στατικό ηλεκτρισμό | πολύ μεγάλη | Όχι μεγάλη |

DEVICE FAMILIES:

- TTL (74xx) True TTL
- 74L Low power
- 74S Schottky
- 74H High speed
- 74LS Low power - Schottky
- 74AS Advanced - Schottky
- 74ALS Advanced - Low power - Schottky
- 74F(AST) Fast - (Advanced - Schottky)
- 74C CMOS.....check Vcc levels
- 74HC (U) High speed - CMOS (Unbuffered output)
- 74HCT High speed - CMOS - TTL inputs
- 74AHC Advanced - High speed - CMOS
- 74AHCT Advanced - High speed - CMOS - TTL inputs
- 74FCT (-A) Fast - CMOS - TTL inputs (speed variations)
- 74FCT (-T, -AT) Fast - CMOS - TTL inputs (speed variations)
- 74AC Advanced - CMOS
- 74ACT Advanced - CMOS - TTL inputs
- 74FACT AC, ACT (Q) series
- 74ACQ Advanced - CMOS - Quiet outputs
- 74ACTQ Advanced - CMOS - TTL inputs - Quiet outputs

1. Λογικές οικογένειες

Β΄ ΤΕΣΕΚ ΓΡΗΓΟΡΗΣ ΑΥΞΕΝΤΙΟΥ ΛΕΜΕΣΟΥ

| | |
|--|---------------|
| ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ ΨΗΦΙΑΚΩΝ ΗΛΕΚΤΡΟΝΙΚΩΝ Γ΄ ΕΤΟΥΣ ΛΟΓΙΚΕΣ ΟΙΚΟΓΕΝΕΙΕΣ | |
| ΤΜΗΜΑ : | ΗΜΕΡΑ : |
| ΟΝΟΜΑ: Λύσεις | |

1. Να αναφέρετε τι εννοούμε με τον όρο λογική οικογένεια.

- *Εννοούμε ένα σύνολο συγγενικών ολοκληρωμένων κυκλωμάτων που έχουν κοινά καθορισμένα τεχνολογικά κριτήρια*

Β΄ ΤΕΣΕΚ ΓΡΗΓΟΡΗΣ ΑΥΞΕΝΤΙΟΥ ΛΕΜΕΣΟΥ

| | |
|---|---------------|
| ΦΥΛΛΟ ΑΞΙΟΛΟΓΗΣΗΣ ΨΗΦΙΑΚΩΝ ΗΛΕΚΤΡΟΝΙΚΩΝ Γ΄ ΕΤΟΥΣ ΛΟΓΙΚΕΣ ΟΙΚΟΓΕΝΕΙΕΣ | |
| ΤΜΗΜΑ : | ΗΜΕΡΑ : |
| ΟΝΟΜΑ: ΛΥΣΕΙΣ | |

1. Να ονομάσετε δύο λογικές οικογένειες που χρησιμοποιούνται σήμερα στην ψηφιακή ηλεκτρονική.

TTL

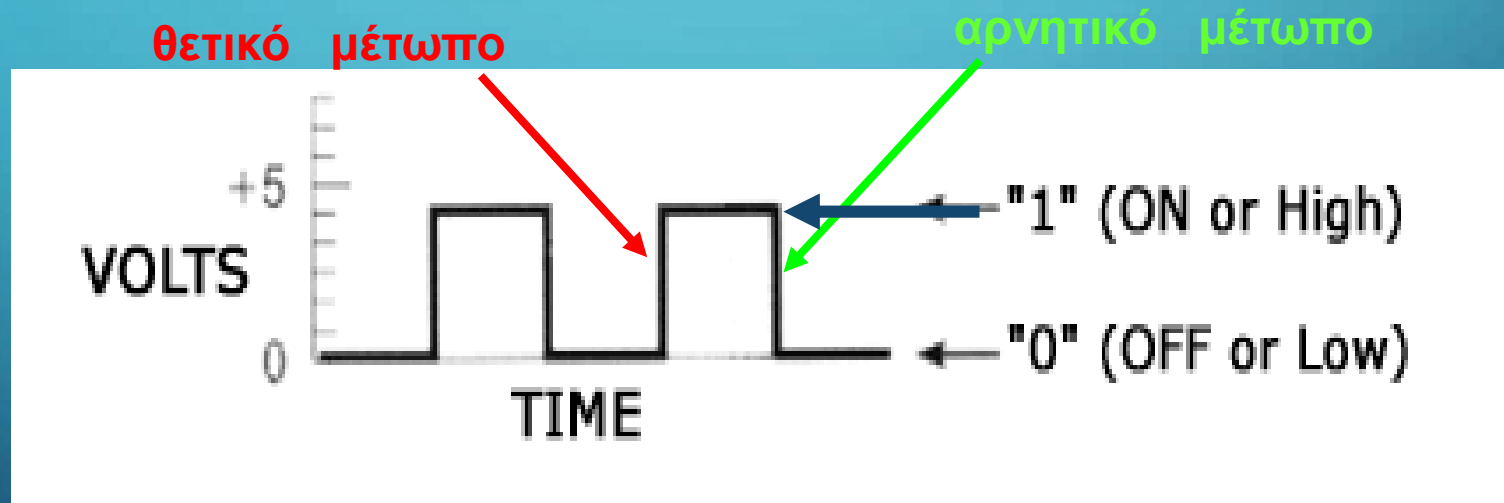
MOS

Διάλειμμα



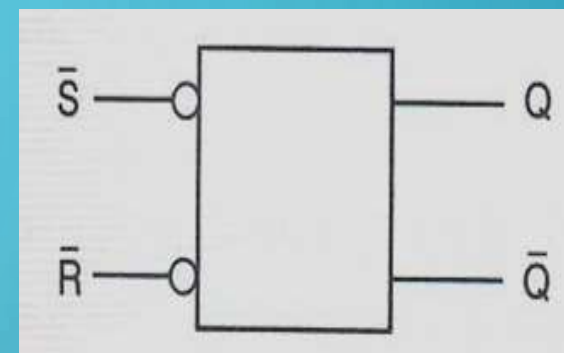
2. Φλίπ - Φλόπς

- Ασύγχρονα ή μη χρονιζόμενα FFs (Latches): Λειτουργούν χωρίς ωρολογιακούς παλμούς χρονισμού και οι έξοδοι τους αλλάζουν σχεδόν ταυτόχρονα με τις αλλαγές των εισόδων τους.
- Σύγχρονα ή χρονιζόμενα FFs: Ο χρόνος λειτουργίας τους καθορίζεται από ωρολογιακούς παλμούς.

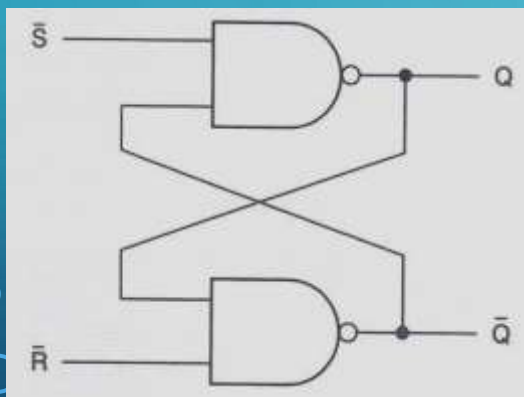


Ασύγχρονα FFs - SR NAND FF

- Το NAND - FF είναι ακολουθιακό κύκλωμα.
- Έχει δύο εισόδους S (Set), R(Reset)
- Ενεργοποιείται στο λογικό 0 – active low)
- Έχει δύο συμπληρωματικές μεταξύ τους εξόδους Q, \bar{Q} .



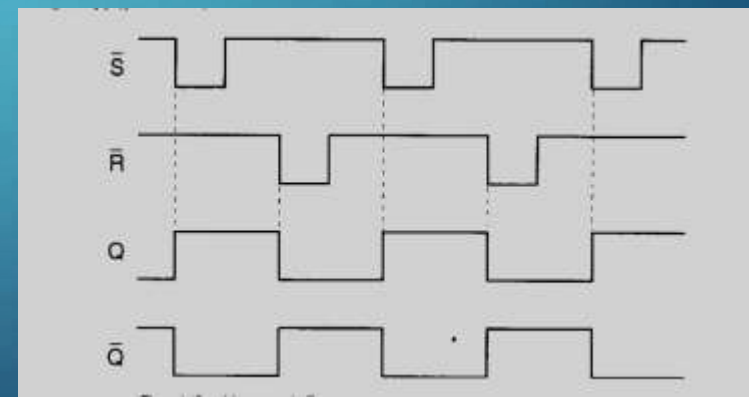
Σύμβολο



Λογικό κύκλωμα

| Είσοδοι | | Έξοδοι | | |
|-----------|-----------|-----------|-----------------|--------------|
| \bar{S} | \bar{R} | Q_{n+1} | \bar{Q}_{n+1} | Κατάσταση |
| 0 | 0 | 1 | 1 | Απαγορευμένη |
| 0 | 1 | 1 | 0 | SET |
| 1 | 0 | 0 | 1 | RESET |
| 1 | 1 | Q_n | \bar{Q}_n | MEMORY |

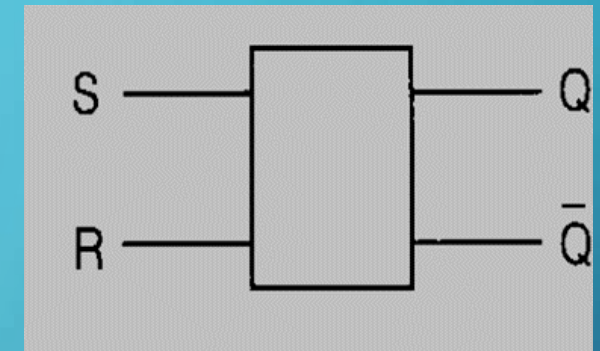
Πίνακας αληθείας



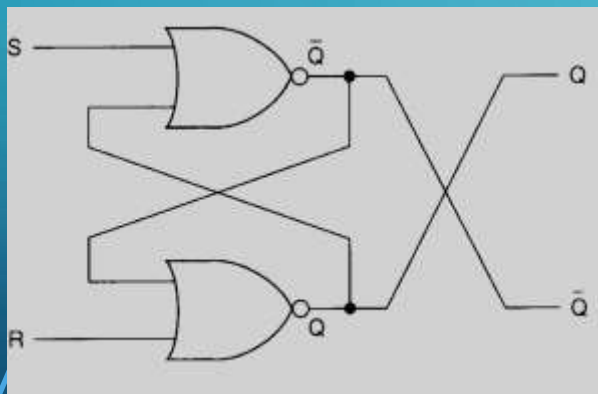
Χρονικά διαγράμματα

Ασύγχρονα FFs - SR NOR FF

- Το NOR - FF είναι ακολουθιακό κύκλωμα.
- Έχει δύο εισόδους S (Set), R(Reset)
- Ενεργοποιείται στο λογικό 1 – active High)
- Έχει δύο συμπληρωματικές μεταξύ τους εξόδους Q, \bar{Q} .



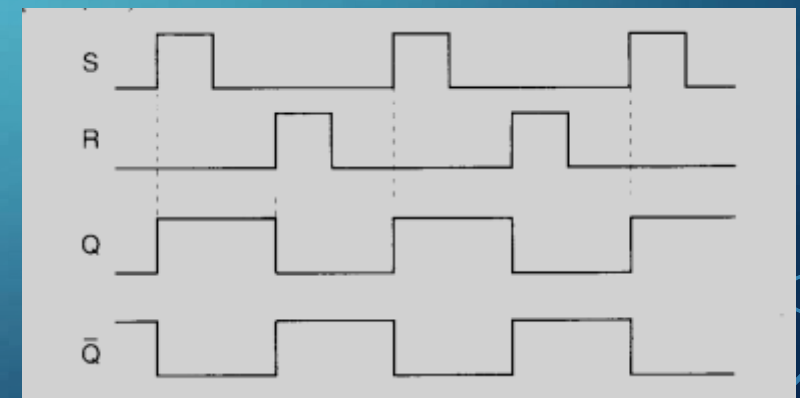
Σύμβολο



Λογικό κύκλωμα

| Είσοδοι | | Έξοδοι | | |
|---------|---|-----------|-----------------|--------------|
| S | R | Q_{n+1} | \bar{Q}_{n+1} | Κατάσταση |
| 0 | 0 | Q_n | \bar{Q}_n | MEMORY |
| 0 | 1 | 0 | 1 | RESET |
| 1 | 0 | 1 | 0 | SET |
| 1 | 1 | 0 | 0 | Απαγορευμένη |

Πίνακας αληθείας

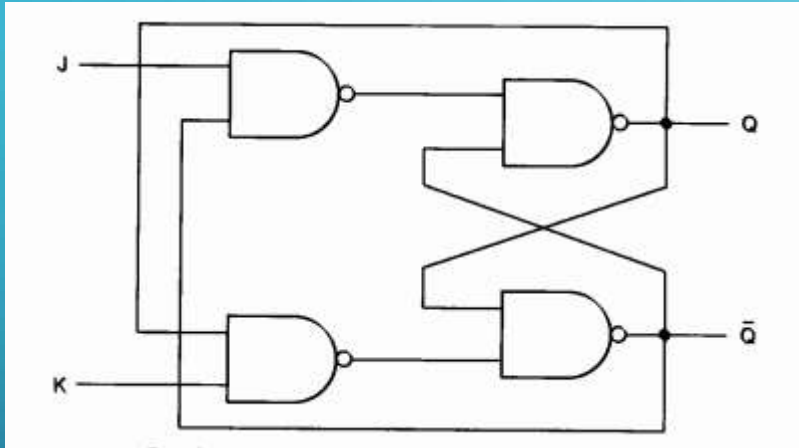


Χρονικά διαγράμματα

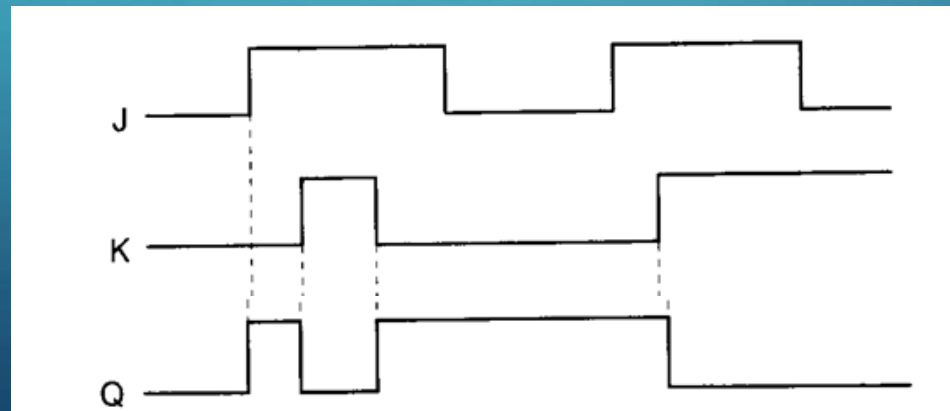
Ασύγχρονο JK - FF

Λογικό κύκλωμα και πίνακας αληθείας ασύγχρονου JK-FF με πύλες NAND

Το JK-FF δεν έχει την απαγορευμένη κατάσταση αλλά όταν $J=K=1$ τότε οι έξοδοι του FF αλλάζουν κατάσταση (από "0" σε "1" και αντιστρόφως) Η κατάσταση αυτή ονομάζεται **εναλλαγή (TOGGLE)**.

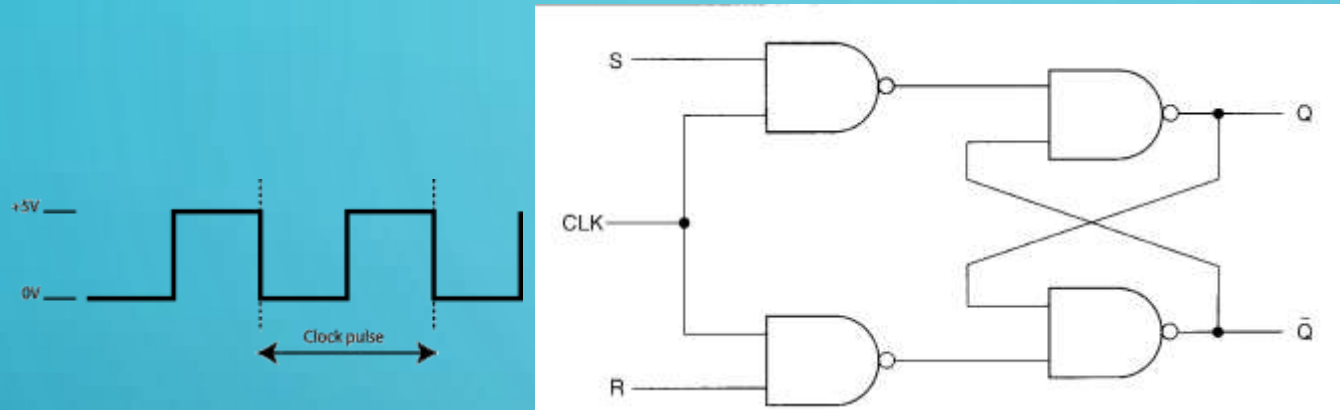


| Είσοδοι | | Έξοδοι | | |
|---------|---|-------------|-----------------|-----------|
| J | K | Q_{n+1} | \bar{Q}_{n+1} | Κατάσταση |
| 0 | 0 | Q_n | \bar{Q}_n | MEMORY |
| 0 | 1 | 0 | 1 | RESET |
| 1 | 0 | 1 | 0 | SET |
| 1 | 1 | \bar{Q}_n | Q_n | TOGGLE |



Χρονιζόμενο SR NAND – FF

Λογικό κύκλωμα και πίνακας αληθείας χρονιζόμενου SR NAND - FF



| Είσοδοι | | | Έξοδοι | | |
|---------|---|---|-----------|-----------------|---------------|
| CLK | S | R | Q_{n+1} | \bar{Q}_{n+1} | Κατάσταση |
| 0 | X | X | Q_n | \bar{Q}_n | MEMORY |
| 1 | 0 | 0 | Q_n | \bar{Q}_n | MEMORY |
| 1 | 0 | 1 | 0 | 1 | RESET |
| 1 | 1 | 0 | 1 | 0 | SET |
| 1 | 1 | 1 | – | – | Απροσδιόριστη |

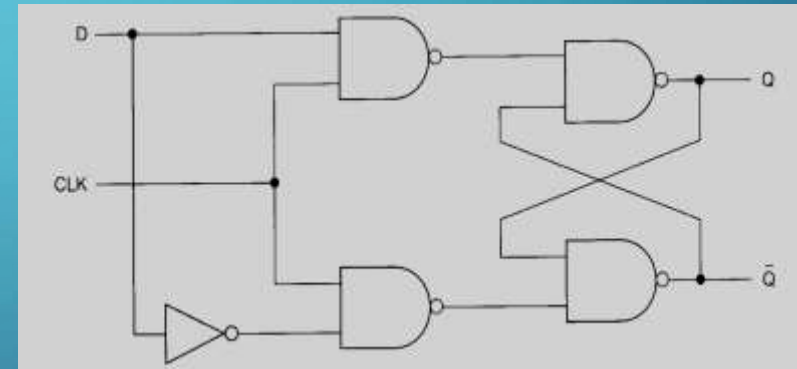
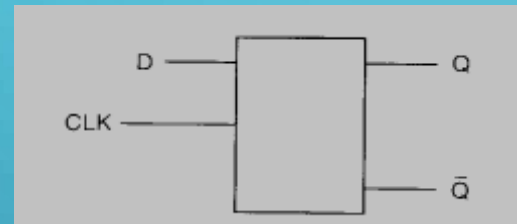
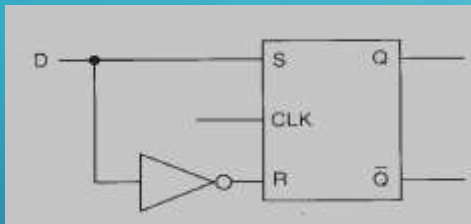
Χρονιζόμενο D – FF

Το χρονιζόμενο D-FF προέρχεται από ένα SR FF στο οποίο εξωτερικά η είσοδος R συνδέεται παράλληλα με την είσοδο S μέσω μιας πύλης NOT.

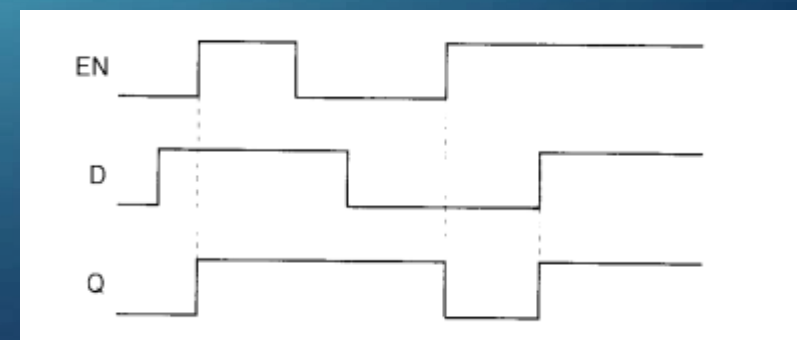
Δεν έχει απαγορευμένη κατάσταση ($S=R=1$).

Η έξοδος $Q = D$, εφόσον υπάρχει παλμός χρονισμού. Η έξοδος Q ακολουθεί την D με κάποια καθυστέρηση που καθορίζεται από το CLK.

D – FF Χρονιζόμενο στα θετικά επίπεδα παλμών του CLK



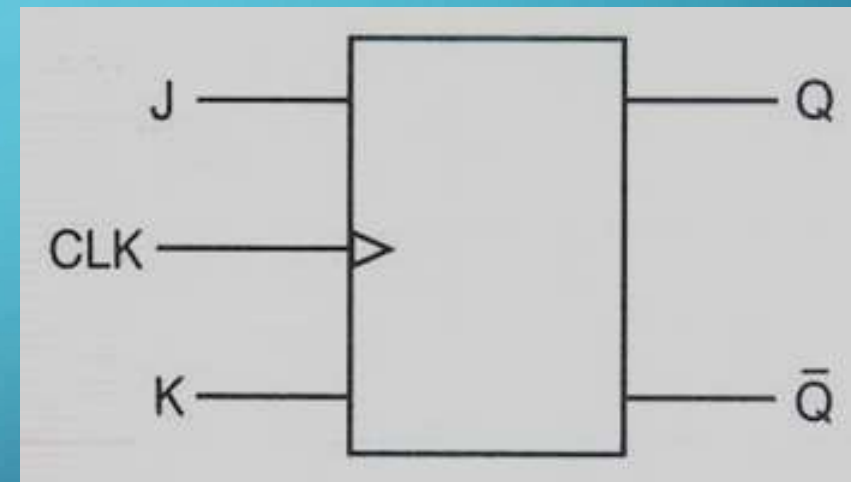
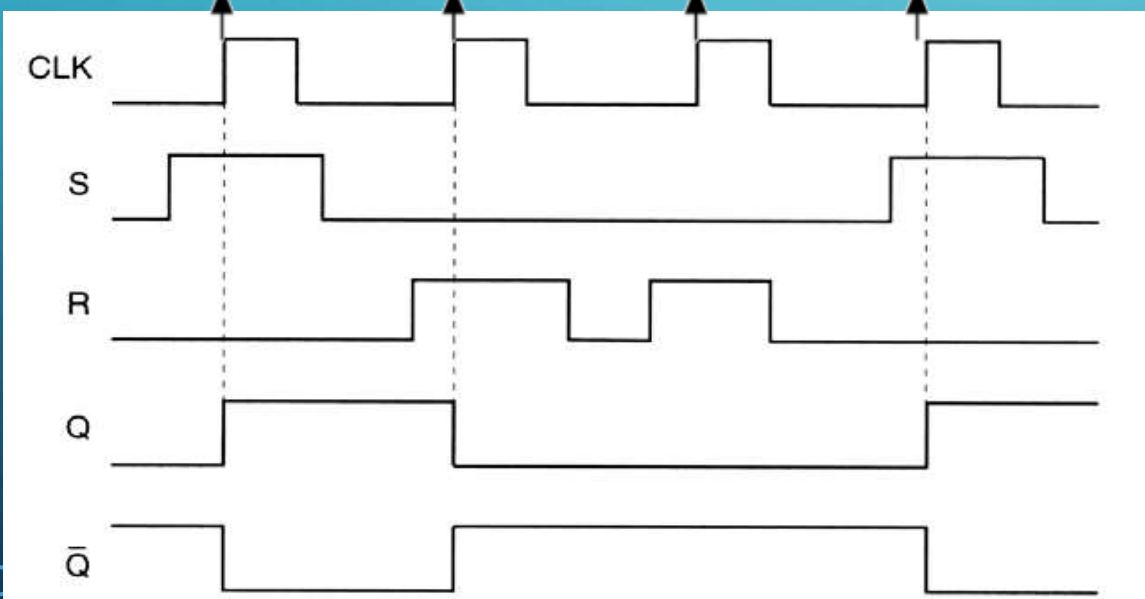
| Είσοδοι | | Έξοδοι | | |
|---------|---|-----------|-----------------|-----------|
| CLK | D | Q_{n+1} | \bar{Q}_{n+1} | Κατάσταση |
| 0 | X | Q_n | \bar{Q}_n | MEMORY |
| 1 | 0 | 0 | 1 | RESET |
| 1 | 1 | 1 | 0 | SET |



Χρονιζόμενο JK-FF στα θετικά μέτωπα των παλμών του CLK

- Πίνακας διέγερσης JK-FF με χρονισμό στα θετικά μέτωπα του CLK

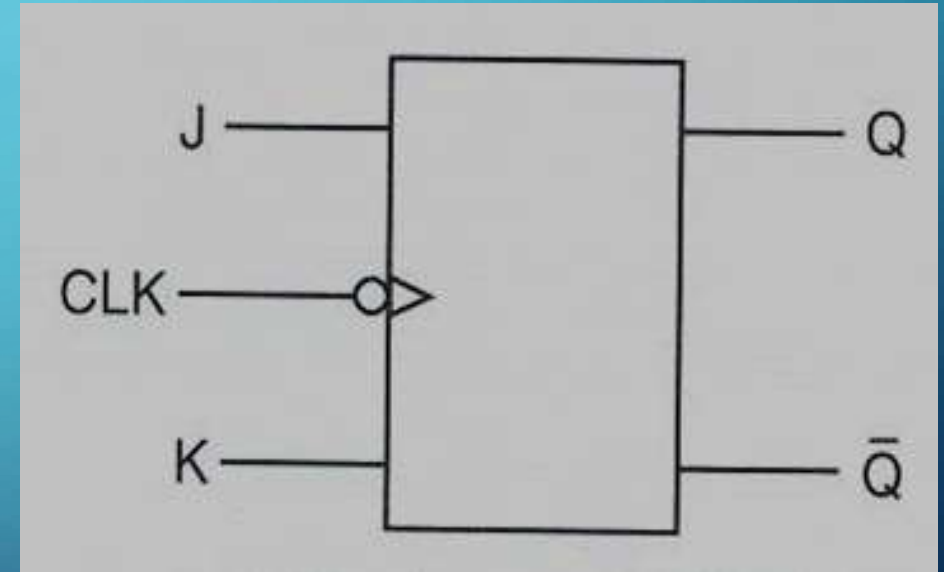
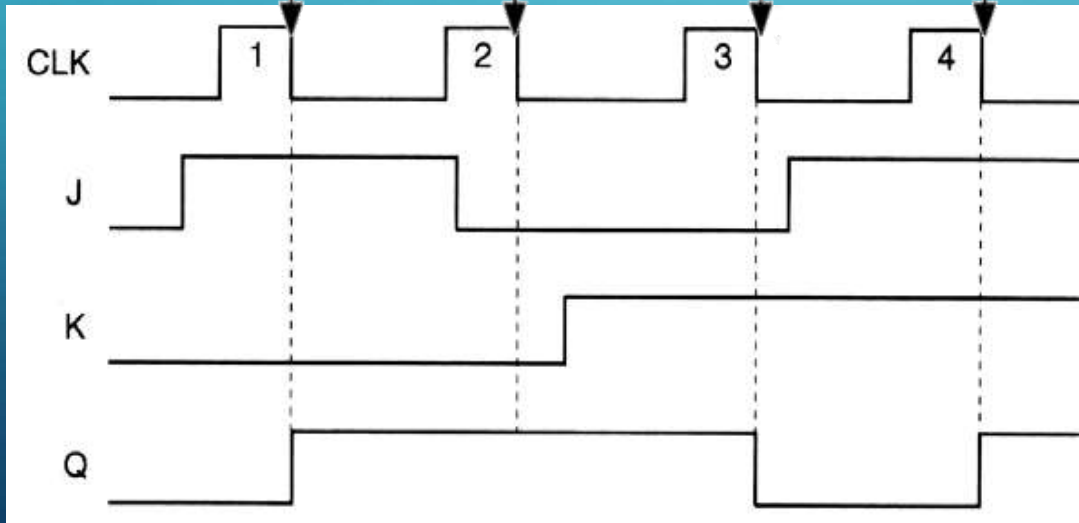
| Είσοδοι | | | Έξοδοι | | |
|---------|---|---|-------------|-----------------|-----------|
| CLK | J | K | Q_{n+1} | \bar{Q}_{n+1} | Κατάσταση |
| X | 0 | 0 | Q_n | \bar{Q}_n | MEMORY |
| ↑ | 0 | 1 | 0 | 1 | RESET |
| ↑ | 1 | 0 | 1 | 0 | SET |
| ↑ | 1 | 1 | \bar{Q}_n | Q_n | TOGGLE |



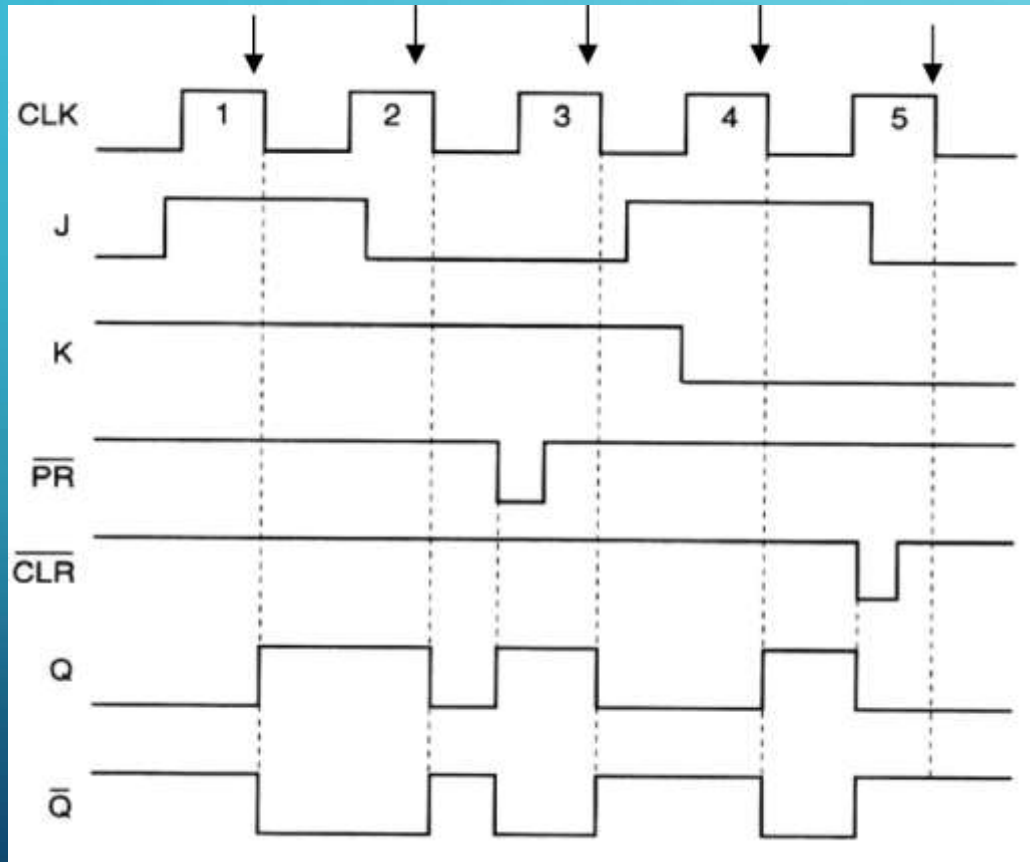
JK-FF με χρονισμό στα αρνητικά μέτωπα του CLK

Πίνακας διέγερσης (λειτουργίας)

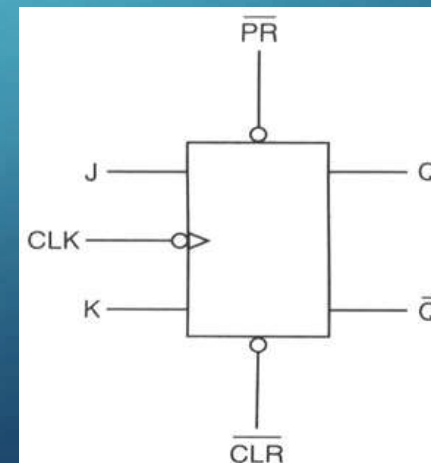
| Είσοδοι | | | Έξοδοι | | |
|---------|---|---|-------------|-----------------|-----------|
| CLK | J | K | Q_{n+1} | \bar{Q}_{n+1} | Κατάσταση |
| X | 0 | 0 | Q_n | \bar{Q}_n | MEMORY |
| ↓ | 0 | 1 | 0 | 1 | RESET |
| ↓ | 1 | 0 | 1 | 0 | SET |
| ↓ | 1 | 1 | \bar{Q}_n | Q_n | TOGGLE |



Πίνακας αληθείας JK-FF με PRESET και CLEAR



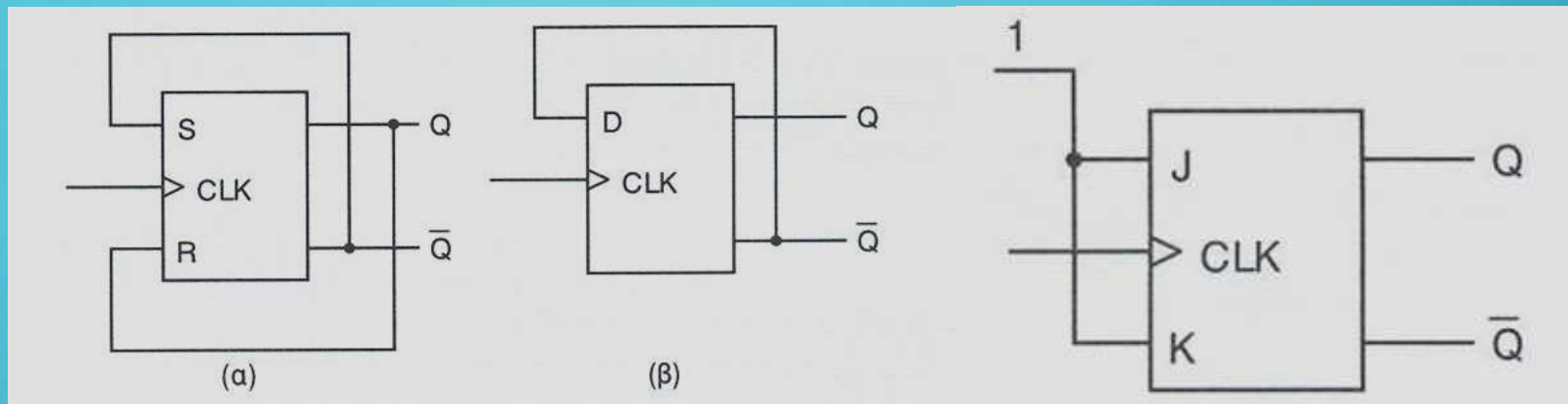
| Είσοδοι | | | | | Έξοδοι | | |
|-----------------|------------------|-----|---|---|------------------|----------------------|---------------|
| \overline{PR} | \overline{CLR} | CLK | J | K | Q_{n+1} | \overline{Q}_{n+1} | Κατάσταση |
| 0 | 1 | X | X | X | 1 | 0 | PRESET |
| 1 | 0 | X | X | X | 0 | 1 | CLEAR |
| 0 | 0 | X | X | X | - | - | Απροσδιόριστη |
| 1 | 1 | ↓ | 0 | 0 | Q_n | \overline{Q}_n | MEMORY |
| 1 | 1 | ↓ | 0 | 1 | 0 | 1 | RESET |
| 1 | 1 | ↓ | 1 | 0 | 1 | 0 | SET |
| 1 | 1 | ↓ | 1 | 1 | \overline{Q}_n | Q_n | TOGGLE |



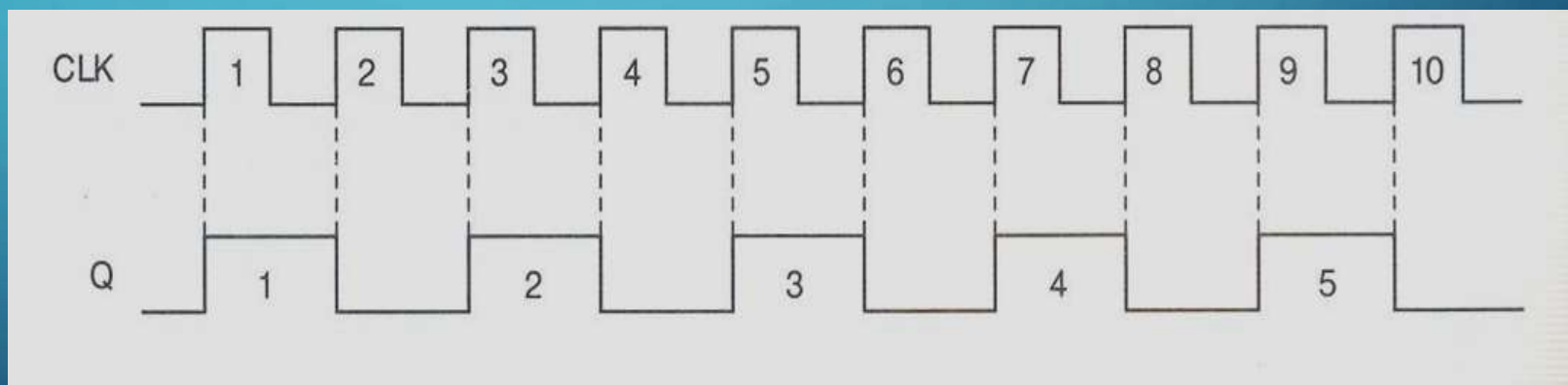
T FF (TOGGLE FLIP-FLOP)

SR-FF, D-FF, JK-FF που λειτουργούν ως T-FF

Συνήθως κατασκευάζεται από το JK-FF όπου οι είσοδοι $J=K=1$ με αποτέλεσμα να λειτουργεί πάντα στην κατάσταση **TOGGLE**. Όταν το $J=K=0$ τότε το FF παραμένει στην κατάσταση MEMORY.



Το Toggle FF είναι ένας διαιρέτης συχνότητας δια 2



Εφαρμογές των FFs

- (α) Το FF ως κύκλωμα αποκοπής παρασιτικών παλμών από μηχανικούς διακόπτες.
- (β) Το FF ως διαιρέτης συχνότητας.
- (γ) Το FF ως στοιχείο μνήμης.

Ασκήσεις FFs

Β' ΤΕΣΕΚ ΓΡΗΓΟΡΗΣ ΑΥΣΕΝΤΙΟΥ ΛΕΜΕΙΟΥ

ΦΥΛΛΟ ΕΡΓΑΣΙΑΣ ΨΗΦΙΑΚΩΝ ΗΛΕΚΤΡΟΝΙΚΩΝ Γ' ΕΤΟΥΣ
Flip - Flops

ΤΜΗΜΑ : ΗΜΕΡΑ :

ΟΝΟΜΑ :

1. Να σχεδιάσετε το σύμβολο, το κύκλωμα και να συμπληρώσετε τον πίνακα αληθείας ενός SR NAND FF.



Σύμβολο SR NAND FF



Κύκλωμα SR NAND FF

Β' ΤΕΣΕΚ ΓΡΗΓΟΡΗΣ ΑΥΣΕΝΤΙΟΥ ΛΕΜΕΙΟΥ

ΦΥΛΛΑΔΙΟ ΑΥΤΟΑΞΙΟΛΟΓΗΣΗΣ ΨΗΦΙΑΚΩΝ ΗΛΕΚΤΡΟΝΙΚΩΝ Γ' ΕΤΟΥΣ
Flip - Flops

ΤΜΗΜΑ : ΗΜΕΡΑ :

ΟΝΟΜΑ :

1. Δίνεται το λογικό σύμβολο του SR-FF και ζητείται να το μετατρέψετε:
(α) σε ένα D-FF, (β) σε ένα T-FF.



2. Δίνεται το λογικό σύμβολο του FF και τα χρονικά διαγράμματα των εισόδων του. Να σχεδιάσετε τα χρονικά διαγράμματα των εξόδων του. Η αρχική κατάσταση του FF είναι RESET.

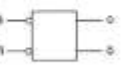

Β' ΤΕΣΕΚ ΓΡΗΓΟΡΗΣ ΑΥΣΕΝΤΙΟΥ ΛΕΜΕΙΟΥ

ΑΣΚΗΣΗ ΑΠΟ ΠΑΛΙΑ ΣΗΜΑΤΑ ΨΗΦΙΑΚΩΝ ΗΛΕΚΤΡΟΝΙΚΩΝ Γ' ΕΤΟΥΣ
Fib - Fibs

ΤΜΗΜΑ : ΗΜΕΡΑ :

ΟΝΟΜΑ :

1. Στο σχήμα δίνονται τα λογικά σύμβολα και τα χρονικά διαγράμματα εισόδου ενός NAND SR FFs. Να σχεδιάσετε τα χρονικά διαγράμματα της εξόδου Q και Q-bar. Η αρχική κατάσταση του FFs είναι η RESET.



Διάλειμμα



ΜΟΝΟΣΤΑΘΗΣ ΠΟΛΥΔΟΝΗΤΗΣ

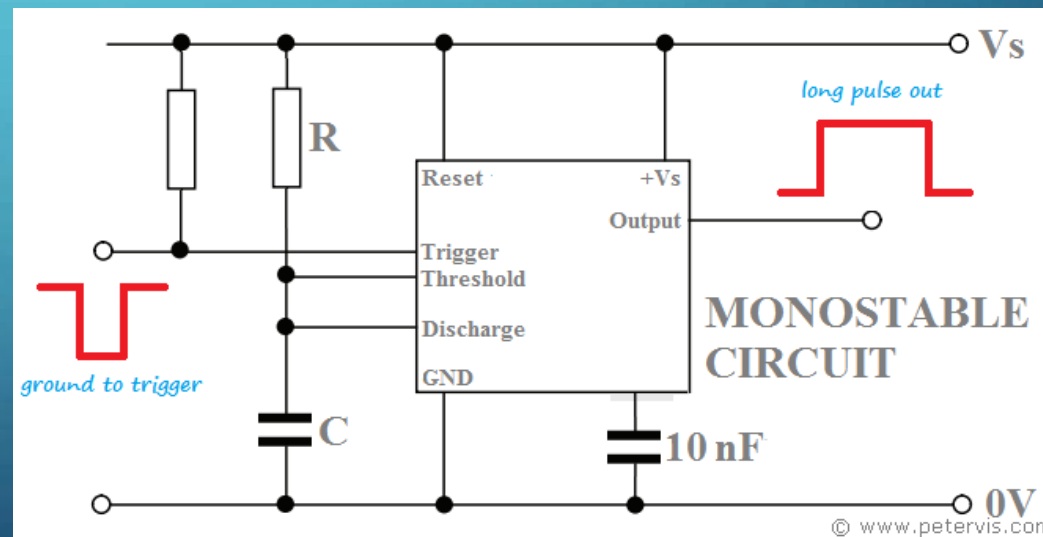
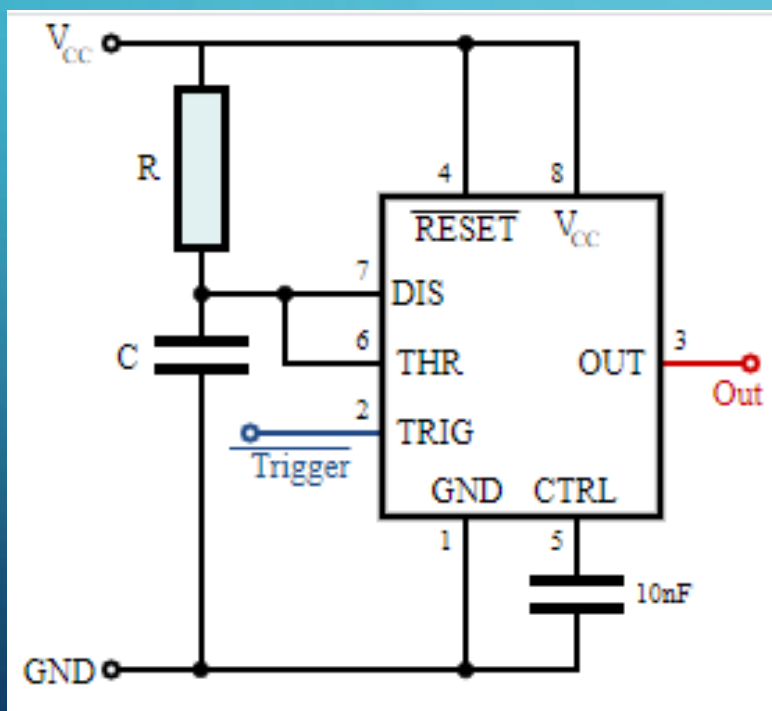
Λειτουργία :

- Έχει μια μόνο σταθερή κατάσταση εξόδου Low ή High.
- Μόλις τροφοδοτηθεί με ρεύμα παίρνει τη σταθερή του κατάσταση (λογικό 0, ή λογικό 1).
- Όταν διεγερθεί με εξωτερικό παλμό, μεταβαίνει από τη σταθερή κατάσταση στη μη σταθερή για ορισμένο χρονικό διάστημα, δίνοντας ένα παλμό (μια βολή) στην έξοδο του και μετά επιστρέφει αυτόματα στη σταθερή του κατάσταση.
- Κατασκευάζεται σχεδόν αποκλειστικά στη μορφή ολοκληρωμένων κυκλωμάτων.
- Η διέγερση μπορεί να προέρχεται από το θετικό ή το αρνητικό μέτωπο του παλμού διέγερσης.

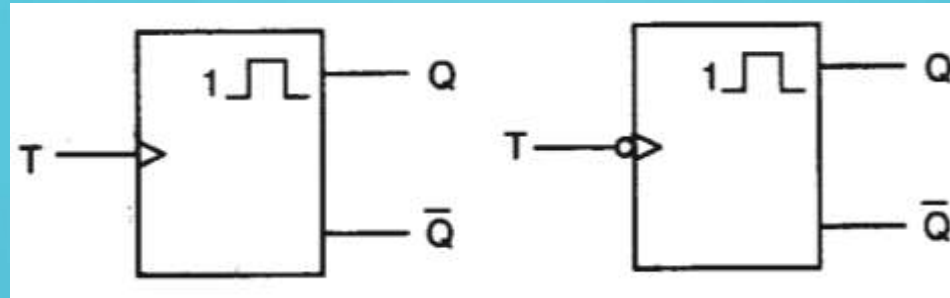
Μονοσταθής Πολυδονητής

Χρόνος διέγερσης ή λειτουργίας: είναι ο χρόνος που παραμένει ο πολυδονητής στη μη σταθερή του κατάσταση και συνήθως εξαρτάται από μια αντίσταση και ένα πυκνωτή που συνδέονται **εξωτερικά** του ολοκληρωμένου κυκλώματος και υπολογίζεται από δοσμένη σχέση.

Πχ για το NE555: $t = 1,1RC$ ενώ για το IC74121: $t = 0,69 RC$

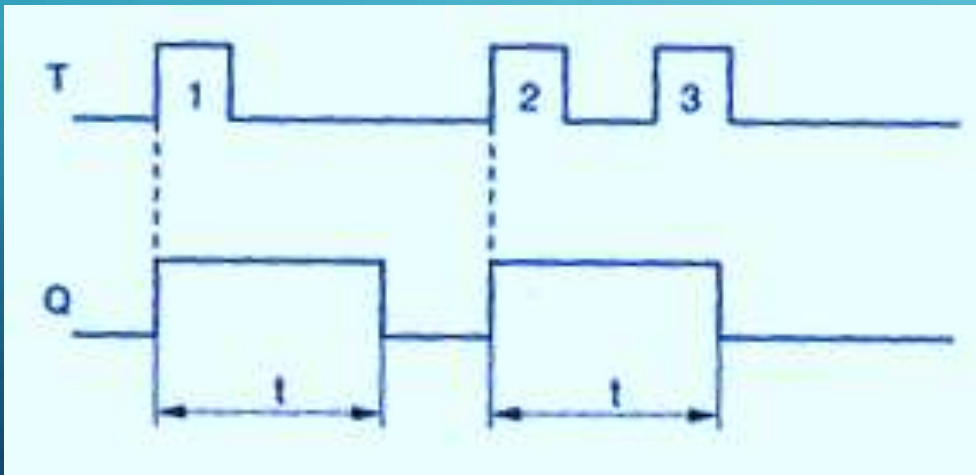


Σύμβολα του μονοσταθούς Πολυδονητή

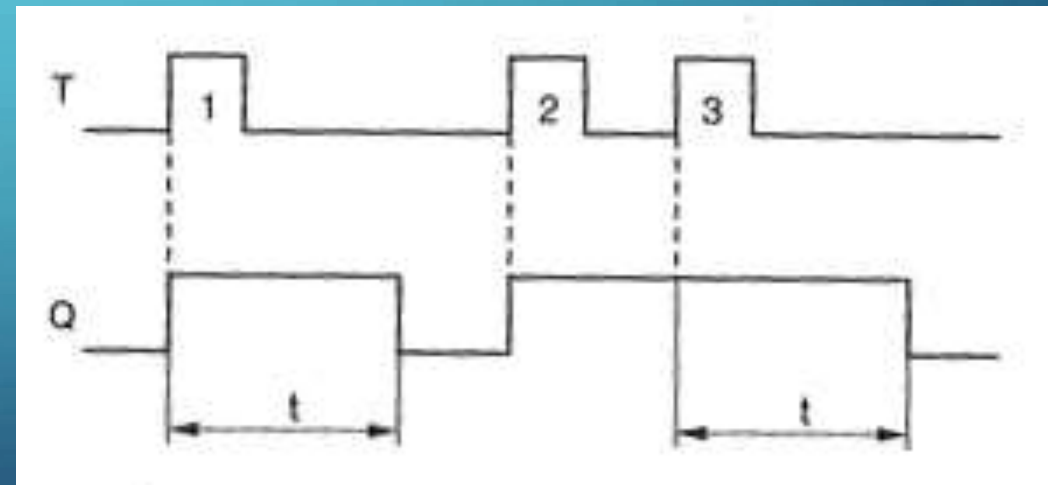


Τύποι του μονοσταθούς Πολυδονητή

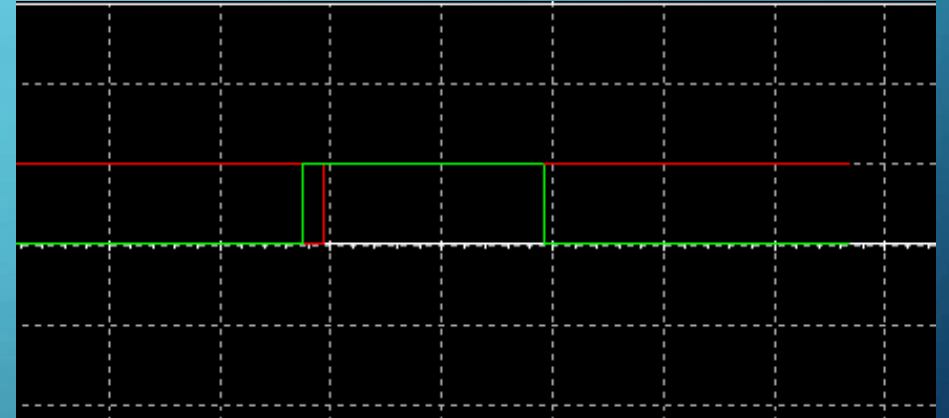
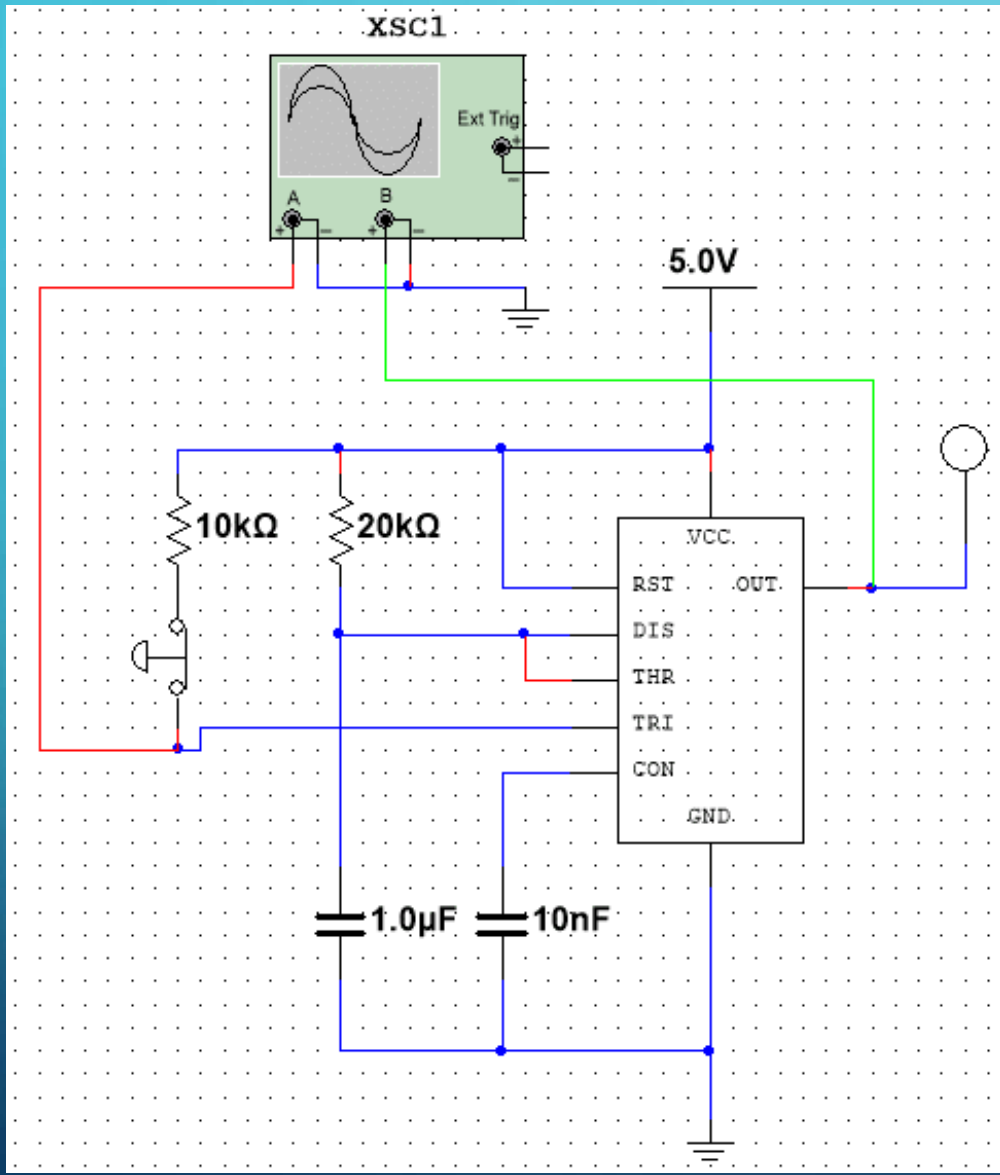
Μη επαναδιεγειρόμενος



επαναδιεγειρόμενος



Κυκλώματα μονοσταθών πολυδονητών IC555



$$t = 1,1 RC$$

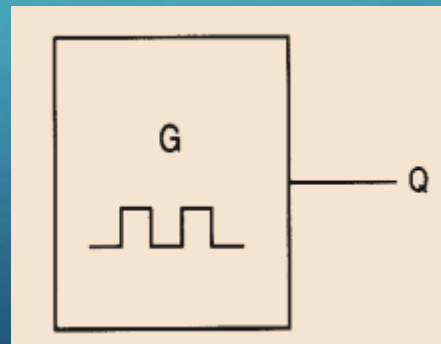
Εφαρμογές Μονοσταθών Πολυδονιτών

1. Ως κύκλωμα μέτρησης χρόνου για τη λειτουργία κάποιου άλλου κυκλώματος.
2. Ως κύκλωμα καθυστέρησης για τη λειτουργία κάποιου άλλου κυκλώματος.
3. Ως κύκλωμα παραγωγής παλμών για τον έλεγχο κυκλωμάτων.

Ασταθής Πολυδονητής (Astable Multivibrator)

Ορισμός :

- Ο ασταθής πολυδονητής είναι κύκλωμα με **δύο καταστάσεις εξόδου**, (Low και High), από τις οποίες καμιά **δεν είναι σταθερή**. Η έξοδος του ασταθούς πολυδονητή αλλάζει συνεχώς από τη μια κατάσταση στην άλλη.
- Ο ασταθής πολυδονητής είναι μια γεννήτρια παραγωγής ορθογωνικών παλμών .



Σύμβολο ασταθούς πολυδονητή

Ασταθής Πολυδονητής (Astable Multivibrator)

Παλμοί εξόδου ασταθούς πολυδονητή



Άν t_H - ο χρόνος που το σήμα εξόδου είναι High

t_L - ο χρόνος που το σήμα εξόδου είναι Low

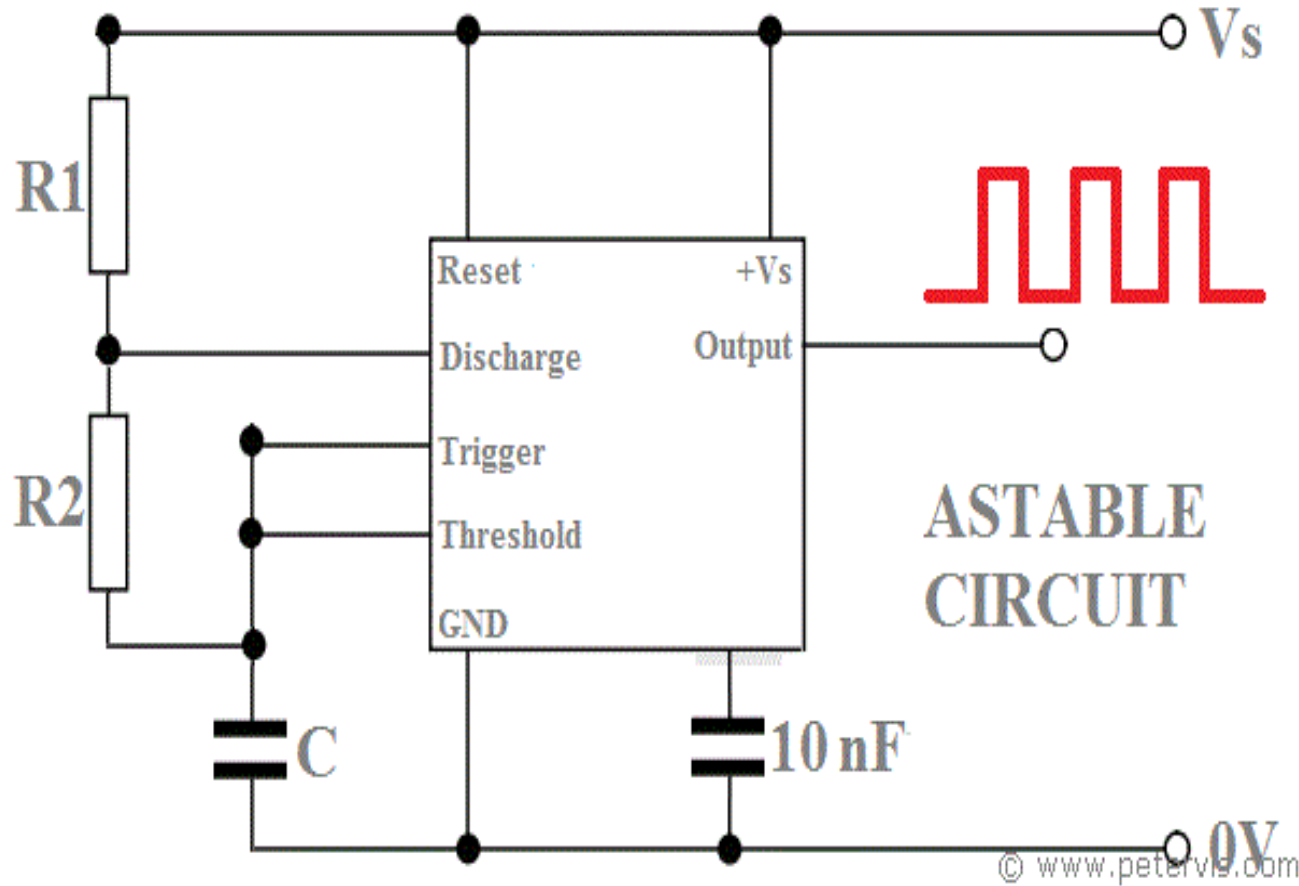
(α) η περίοδος T του ασταθούς πολυδονητή είναι $T = t_H + t_L$

(β) η συχνότητα $f = \frac{1}{T}$

(γ) ο κύκλος δράσης (Duty Cycle) $d = \frac{t_h}{T} 100\%$

Αν $t_H = t_L$ τότε ο κύκλος δράσης $d = 50\%$ και οι παλμοί είναι τετραγωνικοί

Κυκλώματα Ασταθούς Πολυδονητή NE555



$$T = t_H + t_L \\ = 0,693(R_1 + 2R_2)C$$

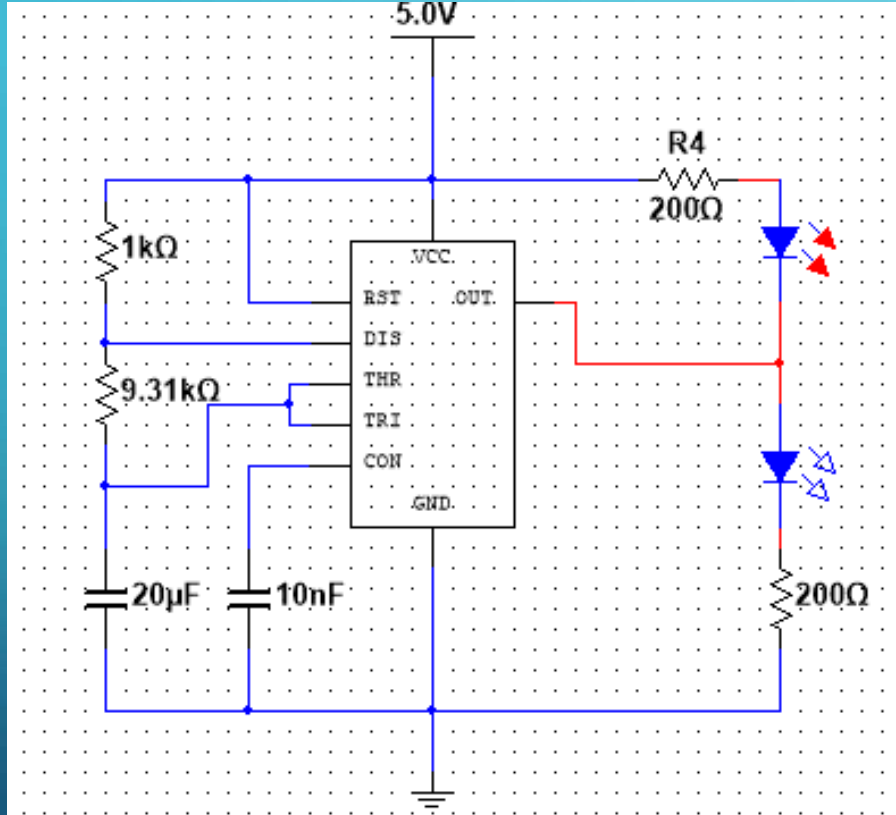
$$t_H = 0,693(R_1 + R_2)C$$

$$t_L = 0,693(R_2)C$$

$$f = \frac{1}{T} = \frac{1,44}{(R_1 + 2R_2)C}$$

$$d = \frac{t_H}{T} = \frac{R_1 + R_2}{R_1 + 2R_2}$$

Ασταθής Πολυδονητής με IC555



$$T = t_H + t_L$$
$$= 0,693(R_1 + 2R_2)C = 26,33\mu s$$

$$t_H = 0,693(R_1 + R_2)C = 13,86\mu s$$

$$t_L = 0,693(R_2)C = 12,48 = 12,5\mu s$$

$$f = \frac{1}{T} = \frac{1,44}{(R_1 + 2R_2)C} = 38\text{kHz}$$

$$d = \frac{t_H}{T} = \frac{R_1 + R_2}{R_1 + 2R_2}\% = 52\%$$

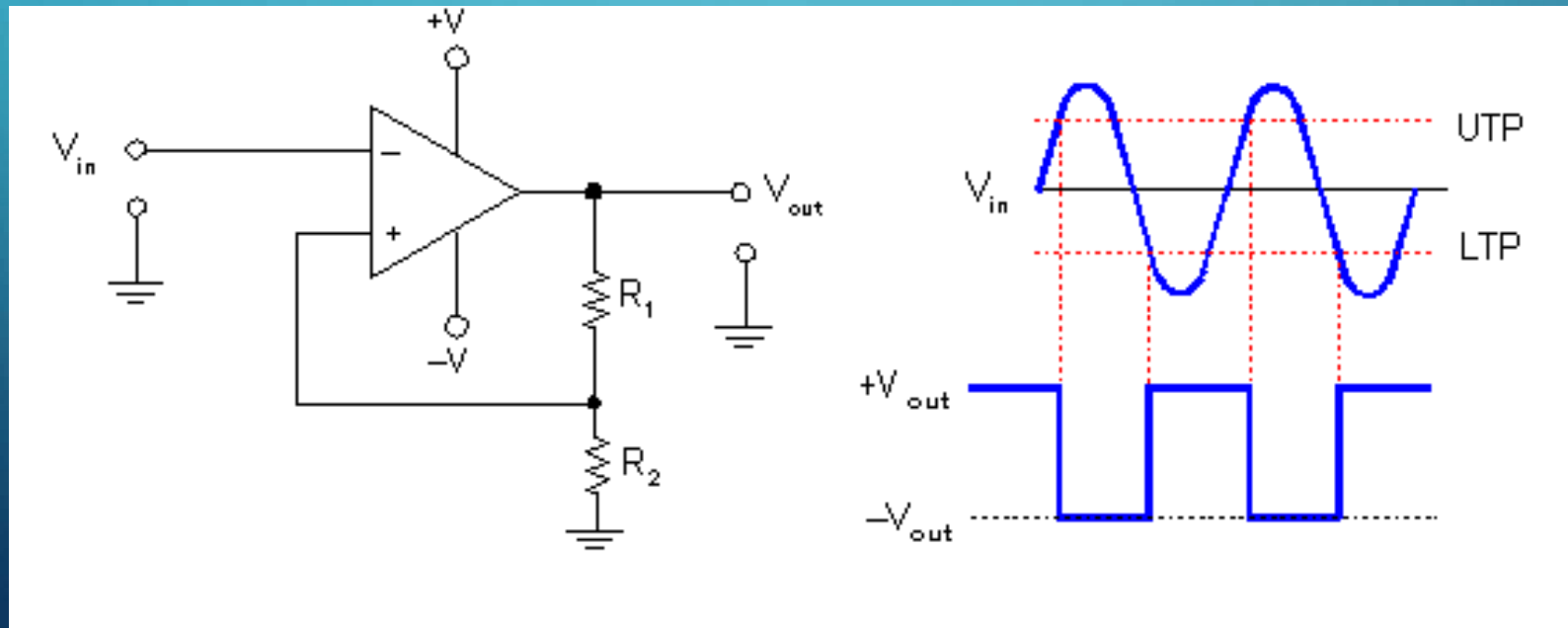
Εφαρμογές Μονοσταθών Πολυδονιτών

1. Ως γεννήτρια παραγωγής παλμών χρονισμού (CLOCK), οι οποίοι καθορίζουν τη σύγχρονη λειτουργία ακολουθιακών και άλλων ψηφιακών κυκλωμάτων.
2. Σε κυκλώματα μέτρησης χρόνου (Digital Clocks).
3. Σε κυκλώματα παραγωγής ήχου ορισμένης συχνότητας,
4. σε άλλα ηλεκτρονικά κυκλώματα.

Κύκλωμα Σκανδάλης Σμιτ

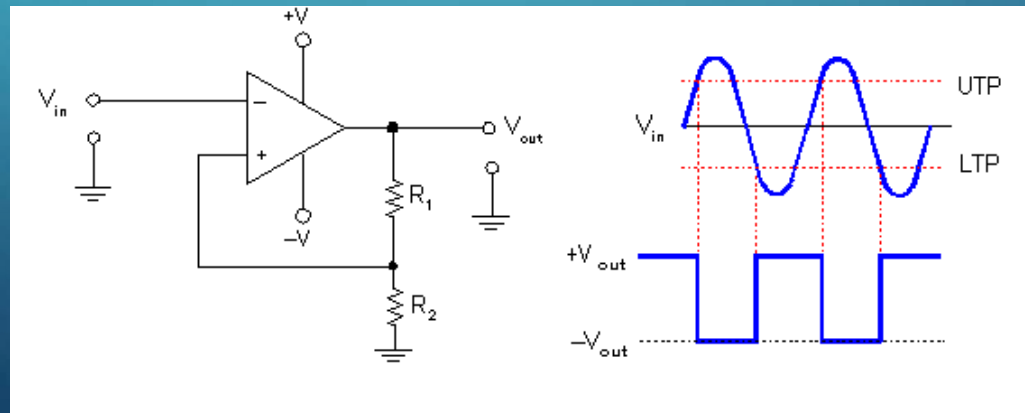
Χαρακτηριστικά :

- Το κύκλωμα σκανδάλης Σμιτ (Schmitt-trigger) είναι ένας πολυδονητής **δύο σταθερών καταστάσεων εξόδου (High, Low)**.
- Το σήμα εξόδου εξαρτάται από το σήμα εισόδου και λειτουργεί παρόμοια με το κύκλωμα του συγκριτή τάσης.



Λειτουργία κυκλώματος σκανδάλης Σμιτ

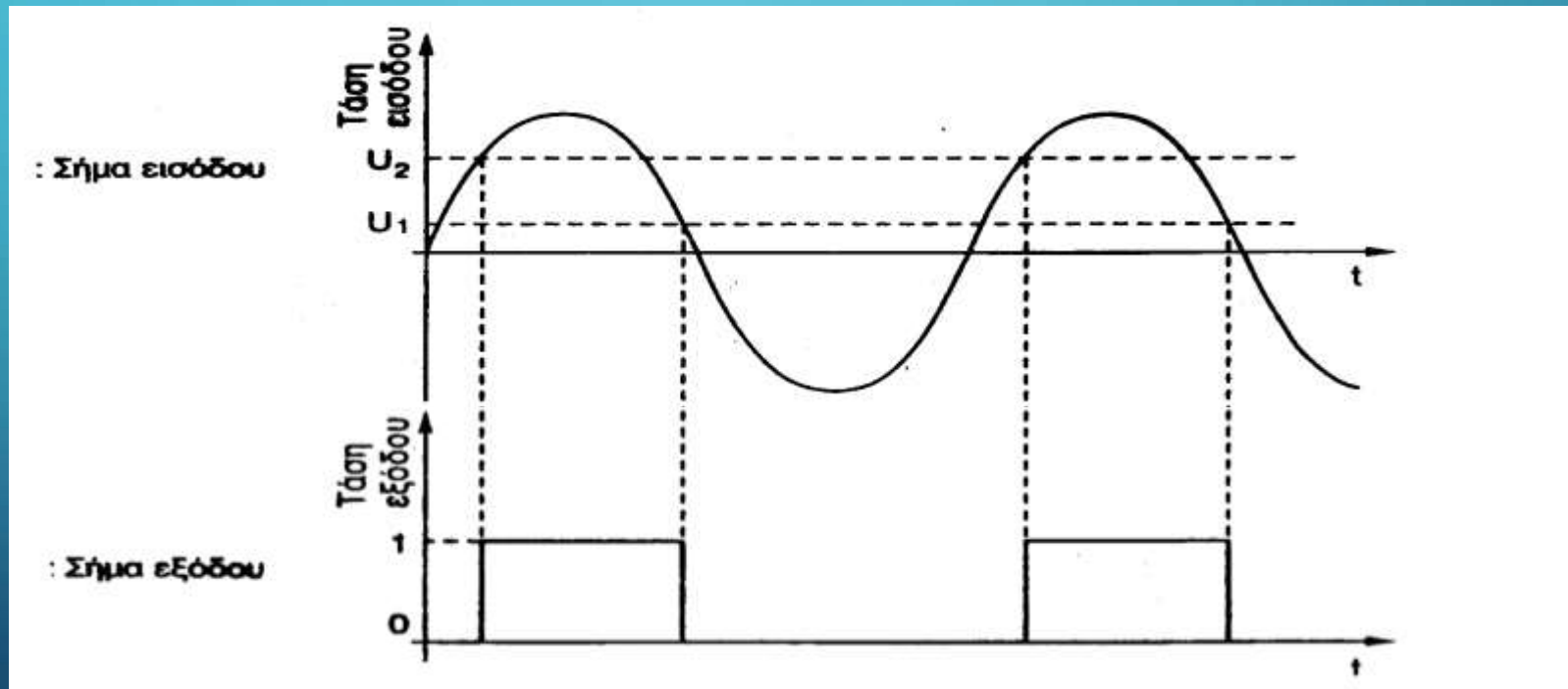
- Όταν η τάση του σήματος εισόδου ανερχόμενη ξεπεράσει μια ορισμένη τιμή (ψηλή τάση κατωφλίου $-U_2$), τότε η έξοδος του κυκλώματος σκανδάλης Σμιτ οδηγείται ανάλογα με το κύκλωμα στη λογική κατάσταση 1 ή 0.
- Όταν η τάση του σήματος εισόδου κατερχόμενη πέσει κάτω από μια ορισμένη τιμή (χαμηλή τάση κατωφλίου $-U_1$), τότε η έξοδος οδηγείται αντίθετα προς την προηγούμενη κατάσταση, δηλαδή στη λογική κατάσταση 0 ή 1.
- Υστέρηση είναι χαρακτηριστικό μέγεθος του κυκλώματος σκανδάλης Σμιτ και δείχνει τη διαφορά των δύο τάσεων κατωφλίου $U = U_2 - U_1$



Παράδειγμα λειτουργίας κυκλώματος σκανδάλης Σμιτ

Δίνεται το σήμα εισόδου με σημαδεμένη τη ψηλή τάση κατωφλίου U_2 και τη χαμηλή τάση κατωφλίου U_1 . Να σχεδιάσετε το σήμα εξόδου, αν:

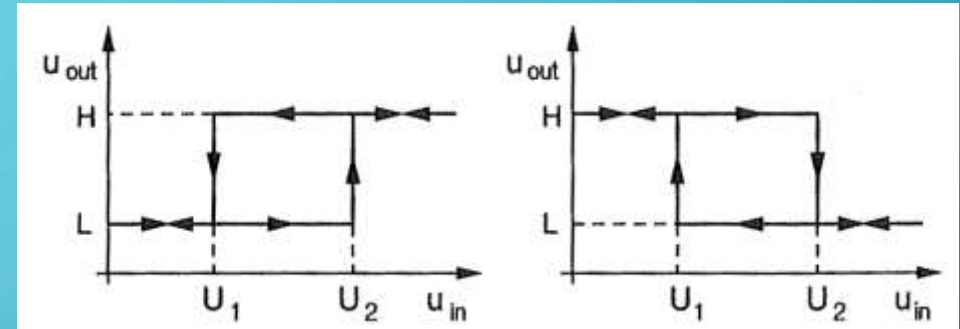
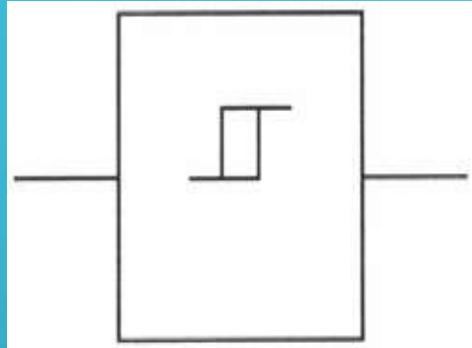
- α) όταν το σήμα εισόδου ξεπεράσει τη U_2 , η έξοδος οδηγείται στο λογικό 1,
- β) όταν το σήμα εισόδου πέσει κάτω από τη U_1 , η έξοδος οδηγείται στο λογικό 0.



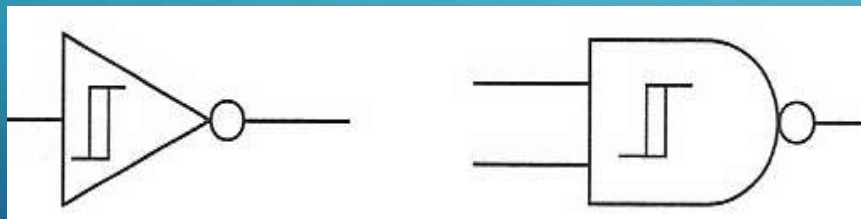
Σύμβολο Κυκλώματος Σκανδάλης Σμιτ



Μέσα στο ορθογώνιο είναι σχεδιασμένη η χαρακτηριστική καμπύλη της υστέρησης.



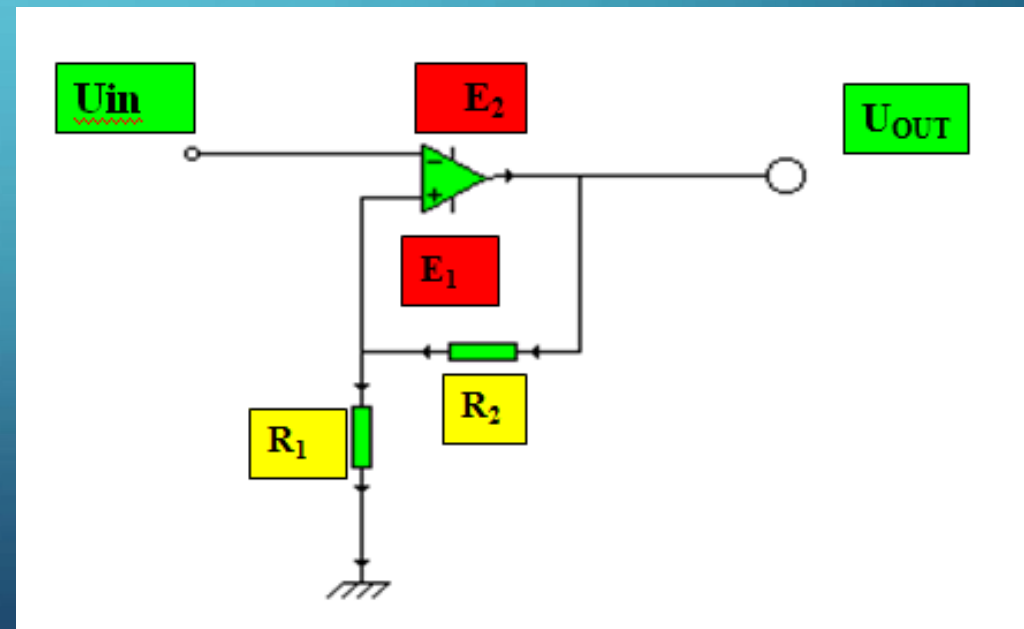
Κυκλώματα Σκανδάλης Schmitt σε Ολοκληρωμένα Κυκλώματα



Λογικό 0 = 0 V Λογικό 1 = 5 V
Ψηλή Τάση Κατωφλίου = 1,7 V
Χαμηλή Τάση Κατωφλίου = 0,9 V
Υστέρηση = 0,8 V

ΥΠΟΛΟΓΙΣΜΟΣ U_2 , U_1 , ΥΣΤΕΡΗΣΗΣ ΣΕ ΚΥΚΛΩΜΑ ΣΚΑΝΔΑΛΗΣ ΣΜΙΤ ΜΕ ΤΕΛΕΣΤΙΚΟ ΕΝΙΣΧΥΤΗ

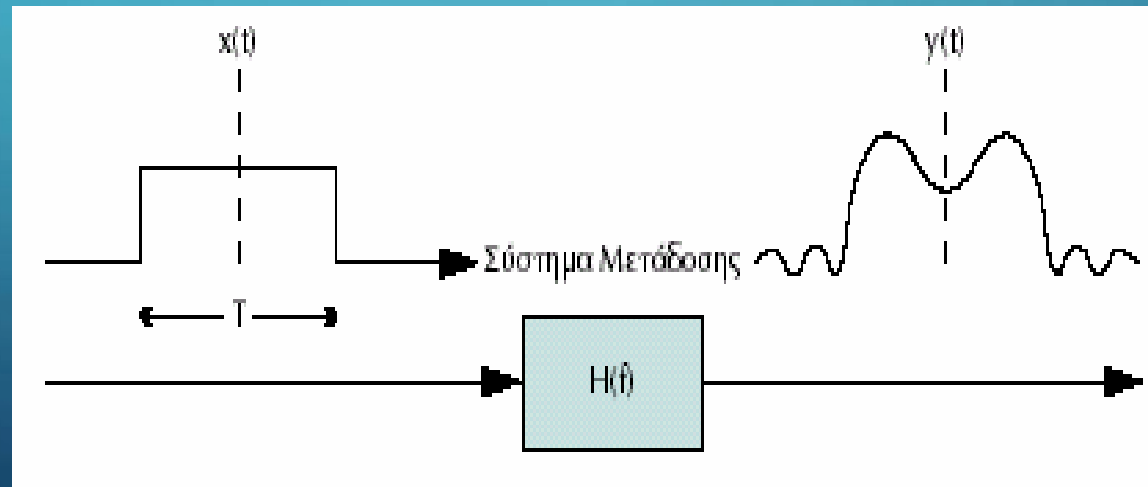
- ΨΗΛΗ ΤΑΣΗ ΚΑΤΩΦΛΙΟΥ $U_2 = \frac{R1}{R1 + R2} E2$
- ΧΑΜΗΛΗ ΤΑΣΗΣ ΚΑΤΩΦΛΙΟΥ $U_1 = \frac{R1}{R1 + R2} E1$
- ΥΣΤΕΡΗΣΗ $U_2 - U_1 = \frac{R1}{R1 + R2} (E2 - E1)$



ΕΦΑΡΜΟΓΕΣ ΚΥΚΛΩΜΑΤΩΝ ΣΚΑΝΔΑΛΗΣ ΣΜΙΤ

Ως ρυθμιζόμενος διακόπτης με υστέρηση χρησιμοποιείται για να ελέγχουμε τη λειτουργία ηλεκτρικών κυκλωμάτων (π.χ. κυκλώματα ελέγχου της θερμοκρασίας).

- Παραγωγή ορθογώνιων παλμών από οποιοδήποτε άλλο σήμα. Ρυθμίζοντας τις τάσεις κατωφλίου ρυθμίζουμε τον κύκλο δράσης των παλμών.
- Παλμοί με μέτωπα που δεν είναι κάθετα, μπορούν με τη βοήθεια των κυκλωμάτων σκανδάλης Σμιτ να παραχθούν ξανά με διορθωμένα κάθετα μέτωπα.



Ασκήσεις στους πολυδονιτές και Κύκλωμα Σκανδάλης Σμιτ

Β' ΤΕΣΕΚ ΓΡΗΓΟΡΗΣ ΑΥΞΕΝΤΙΟΥ ΛΕΜΕΣΟΥ

ΦΥΛΛΑΔΙΟ ΑΥΤΟΑΞΙΟΛΟΓΗΣΗΣ ΨΗΦΙΑΚΩΝ ΗΛΕΚΤΡΟΝΙΚΩΝ Γ' ΕΤΟΥΣ ΠΟΛΥΔΟΝΗΤΕΣ

ΤΜΗΜΑ : ΗΜΕΡΑ :

ΟΝΟΜΑ :

1. Να σχεδιάσετε το σύμβολο του μονοσταθιά πολυδονητή.
2. Να εξηγήσετε σύντομα τη λειτουργία του μονοσταθιάς πολυδονητή.

Β' ΤΕΣΕΚ ΓΡΗΓΟΡΗΣ ΑΥΞΕΝΤΙΟΥ ΛΕΜΕΣΟΥ

ΦΥΛΛΑΔΙΟ ΑΥΤΟΑΞΙΟΛΟΓΗΣΗΣ ΨΗΦΙΑΚΩΝ ΗΛΕΚΤΡΟΝΙΚΩΝ Γ' ΕΤΟΥΣ ΚΥΚΛΩΜΑ ΣΚΑΝΔΑΛΗΣ ΣΜΙΤ

ΤΜΗΜΑ : ΗΜΕΡΑ :

ΟΝΟΜΑ :

1. Να περιγράψετε τη λειτουργία και να αναφέρετε μία εφαρμογή του κυκλώματος σκανδάλης Σμιτ.
2. Να σχεδιάσει το σήμα εξόδου κυκλώματος σκανδάλης Σμιτ με υψηλή τάση κινήσεως 3 V (λογική κατάσταση εξόδου = 1) και χαμηλή τάση κινήσεως 0 V (λογική κατάσταση εξόδου = 0).



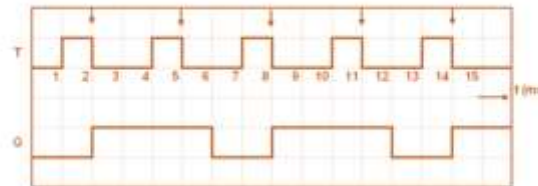
Β' ΤΕΣΕΚ ΓΡΗΓΟΡΗΣ ΑΥΞΕΝΤΙΟΥ ΛΕΜΕΣΟΥ

ΑΣΚΗΣΕΙΣ ΠΡΟΗΓΟΥΜΕΝΩΝ ΕΤΩΝ ΨΗΦΙΑΚΩΝ ΗΛΕΚΤΡΟΝΙΚΩΝ Γ' ΕΤΟΥΣ ΚΥΚΛΩΜΑΤΑ ΠΑΡΑΓΩΓΗΣ & ΔΙΑΜΟΡΦΩΣΗΣ ΠΛΑΣΜΩΝ

ΤΜΗΜΑ : ΗΜΕΡΑ :

ΟΝΟΜΑ :

1. Στο σχήμα 1 δίνεται το χρονικό διάγραμμα των παλμών διέγερσης ενός μη επαναδιαφορομένου μονοσταθιά πολυδονητή ο οποίος διεγείρεται στα αρνητικά μέρη των παλμών διέγερσης. Να σχεδιάσετε το χρονικό διάγραμμα της εξόδου Q του πολυδονητή, αν ο χρόνος βολής του είναι 4 μs και η σταθερή του κατάσταση είναι το λογικό 0.



Διάλειμμα



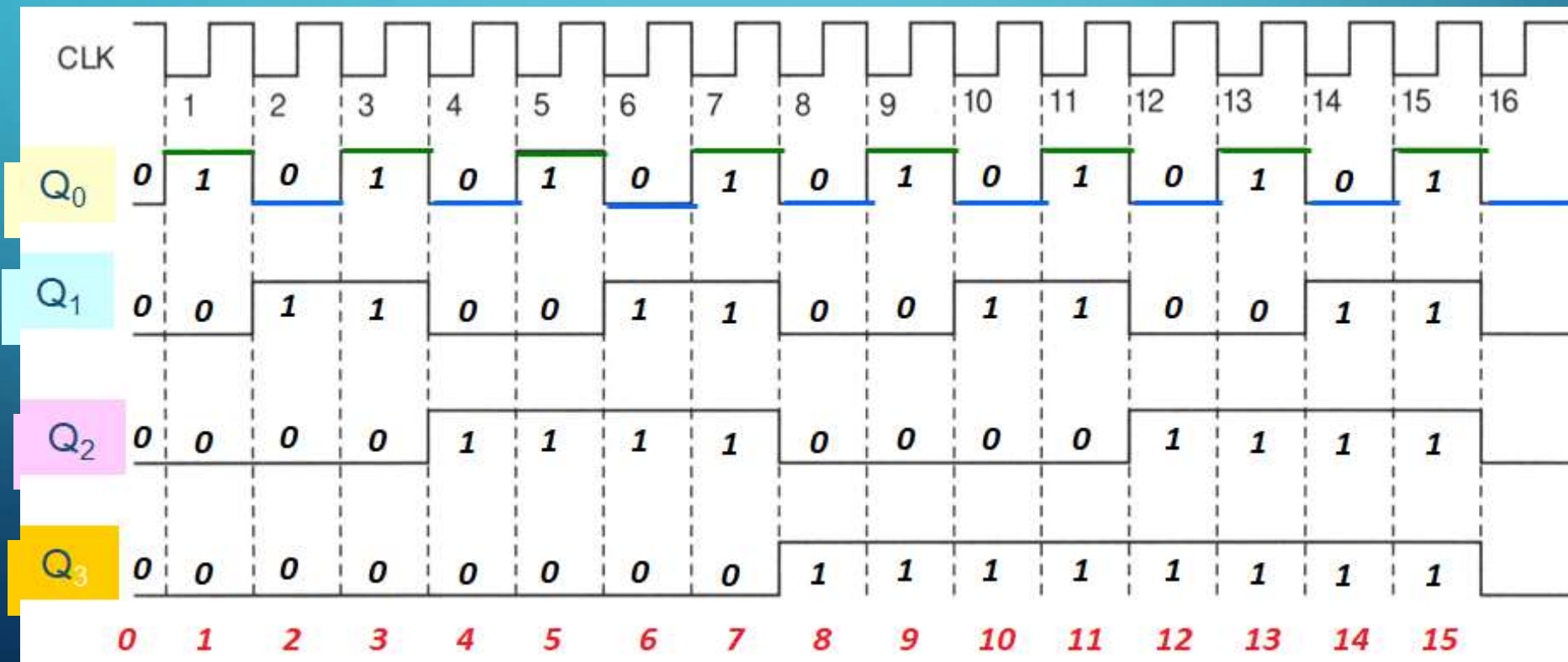
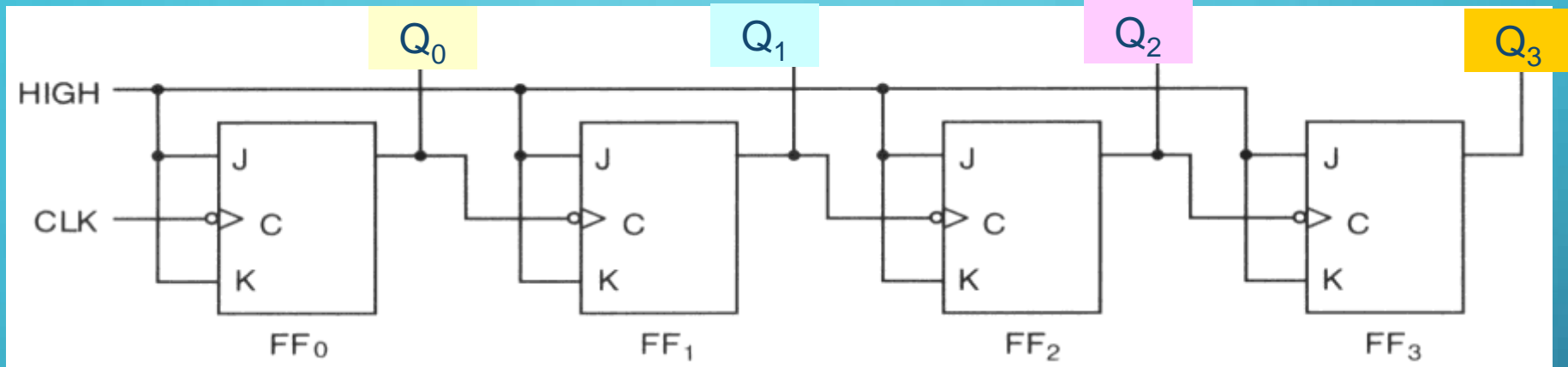
Απαριθμητές Ορισμός

Ο απαριθμητής (**counter**) είναι ένα ακολουθιακό κύκλωμα το οποίο στην έξοδό του απαριθμεί τους ωρολογιακούς παλμούς που λαμβάνει στην είσοδο. Αποτελείται από κατάλληλα συνδεδεμένα FF's.

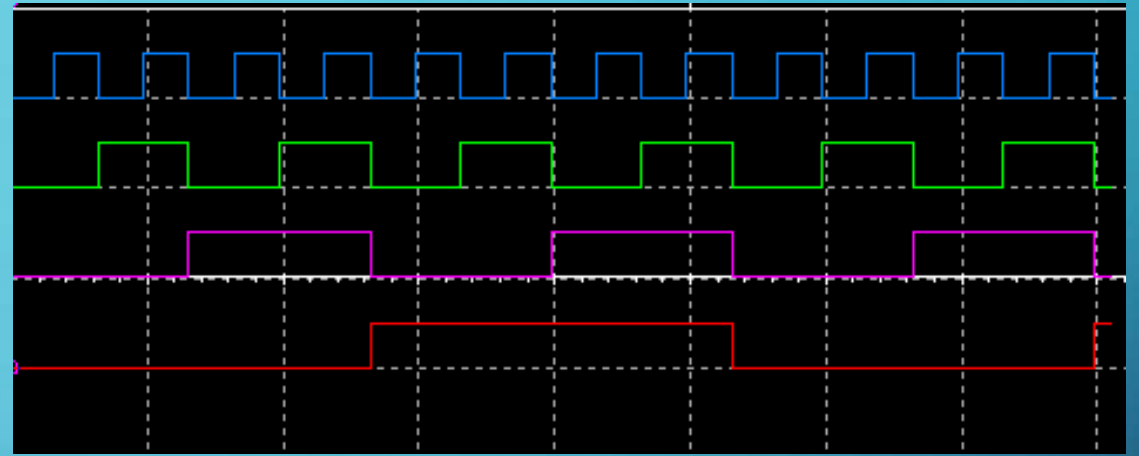
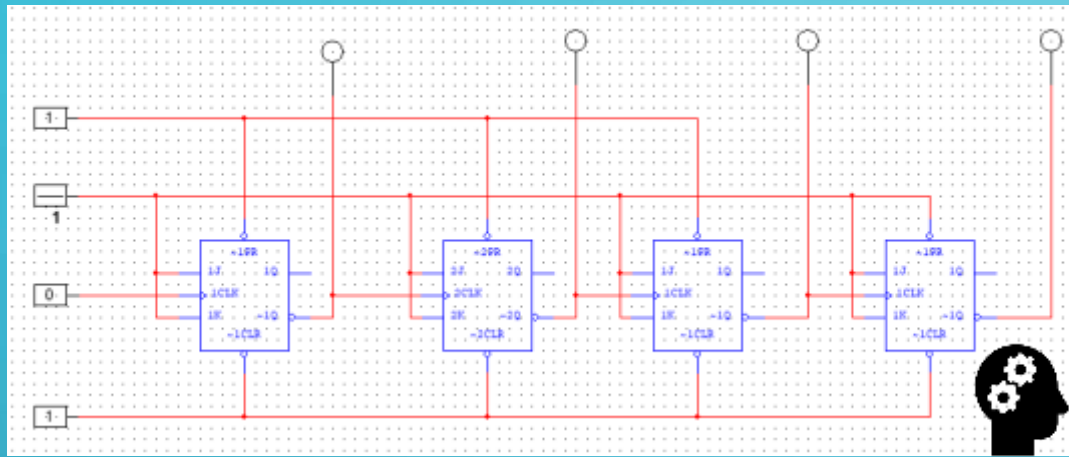
Αυτό σημαίνει την αλλαγή του περιεχομένου του απαριθμητή κατά ένα, προς τα άνω ή προς τα κάτω, με κάθε χρονικό παλμό μέτρησης.

Η έξοδος του απαριθμητή είναι μια ψηφιακή δυαδική τιμή που αντιστοιχεί στον αριθμό των παλμών που δέχθηκε στην είσοδο του.

Απαριθμητές



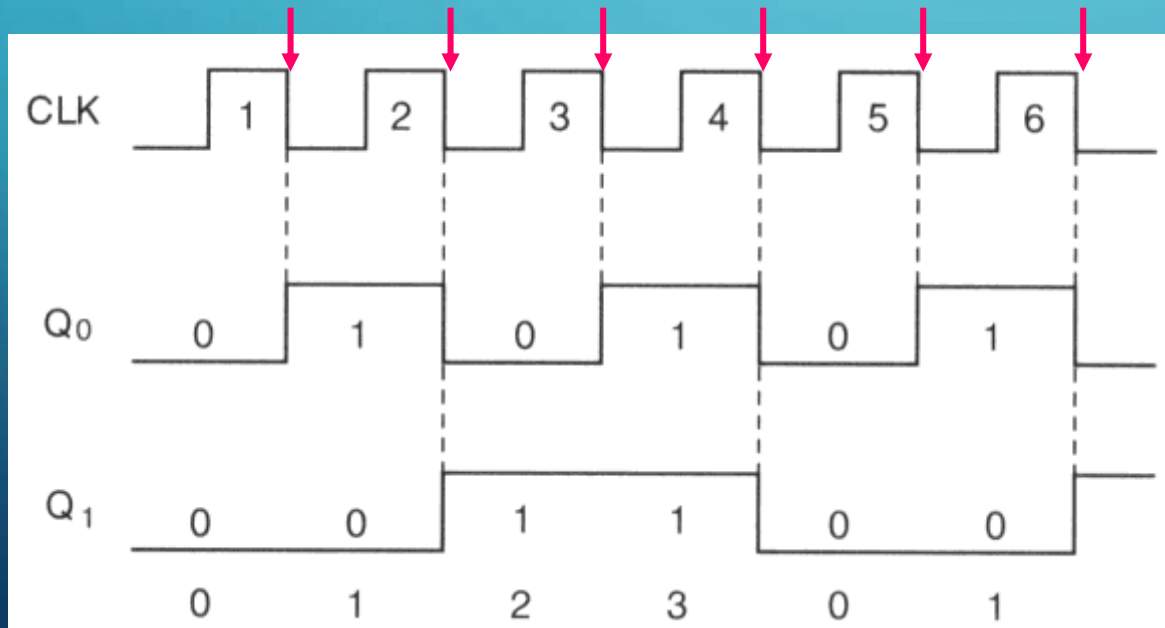
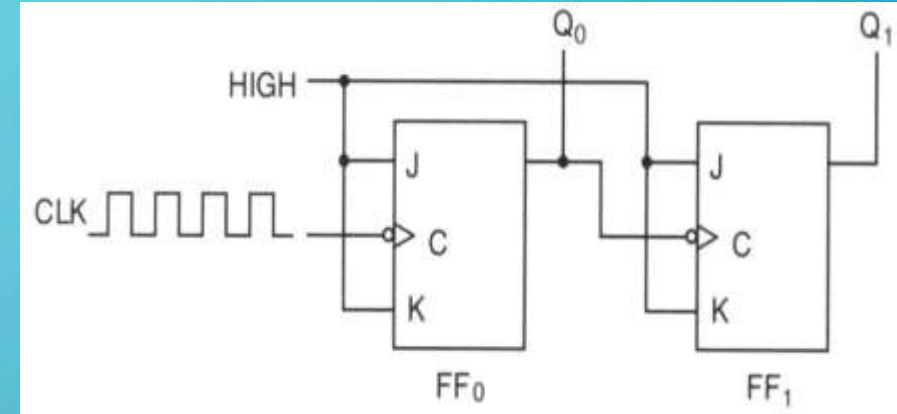
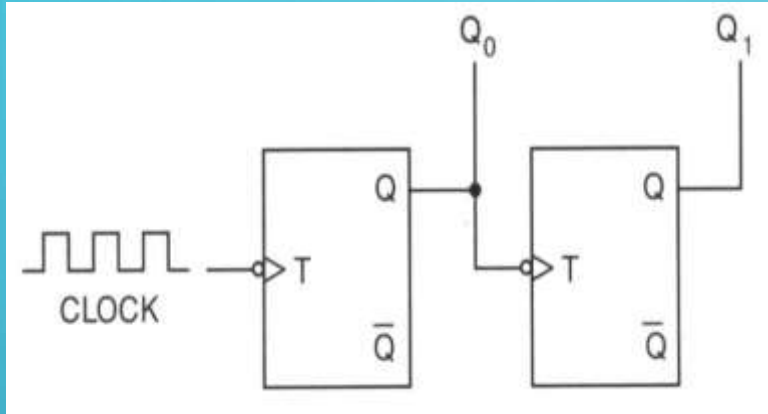
Απαριθμητές



- Ο αριθμός των bits του απαριθμητή ισούται με τον αριθμό των Flip-Flops που διαθέτει
- Ο αριθμός των καταστάσεων που μπορεί να απαριθμήσει είναι 2^{bits}
- Οι ψηφιακές τιμές που μπορεί να εμφανιστούν στις εξόδους του είναι από μηδέν μέχρι $2^{\text{bits}}-1$
- Η μέγιστη συχνότητα καλής λειτουργίας του εξαρτάται από τον χρόνο καθυστέρησης διάδοσης κάθε φλιπ φλοπ και την μέγιστη συχνότητα που μπορεί να δεχθεί το πρώτο Flip-Flop στη είσοδο CLK

ΑΣΥΓΧΡΟΝΟΣ ΔΥΑΔΙΚΟΣ ΑΠΑΡΙΘΜΗΤΗΣ 2-BIT που αριθμεί προς τα άνω

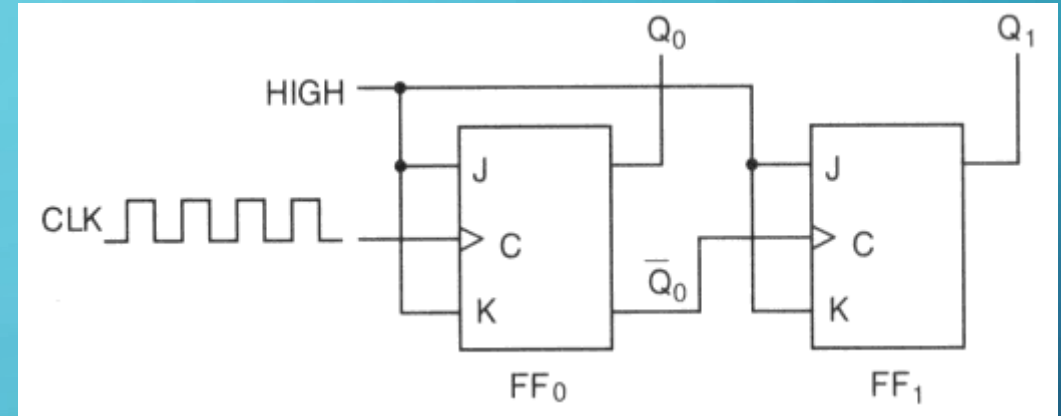
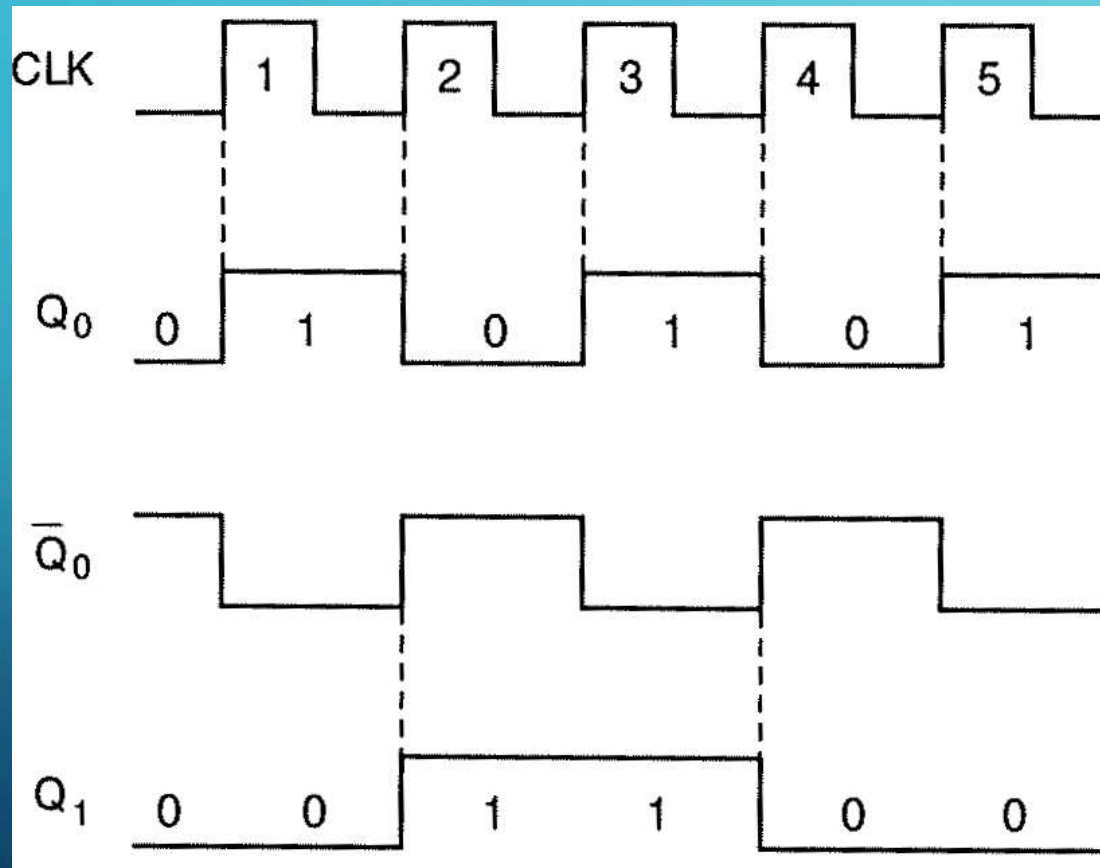
□ Πρώτη μέθοδος



| Ποσό l (CLK) A/A | Q ₁ | Q ₀ |
|------------------------|----------------|----------------|
| 0 | 0 | 0 |
| 1 | 0 | 1 |
| 2 | 1 | 0 |
| 3 | 1 | 1 |
| 4 | 0 | 0 |

ΑΣΥΓΧΡΟΝΟΣ ΔΥΑΔΙΚΟΣ ΑΠΑΡΙΘΜΗΤΗΣ 2-BIT που αριθμεί προς τα άνω

□ Δεύτερη μέθοδος

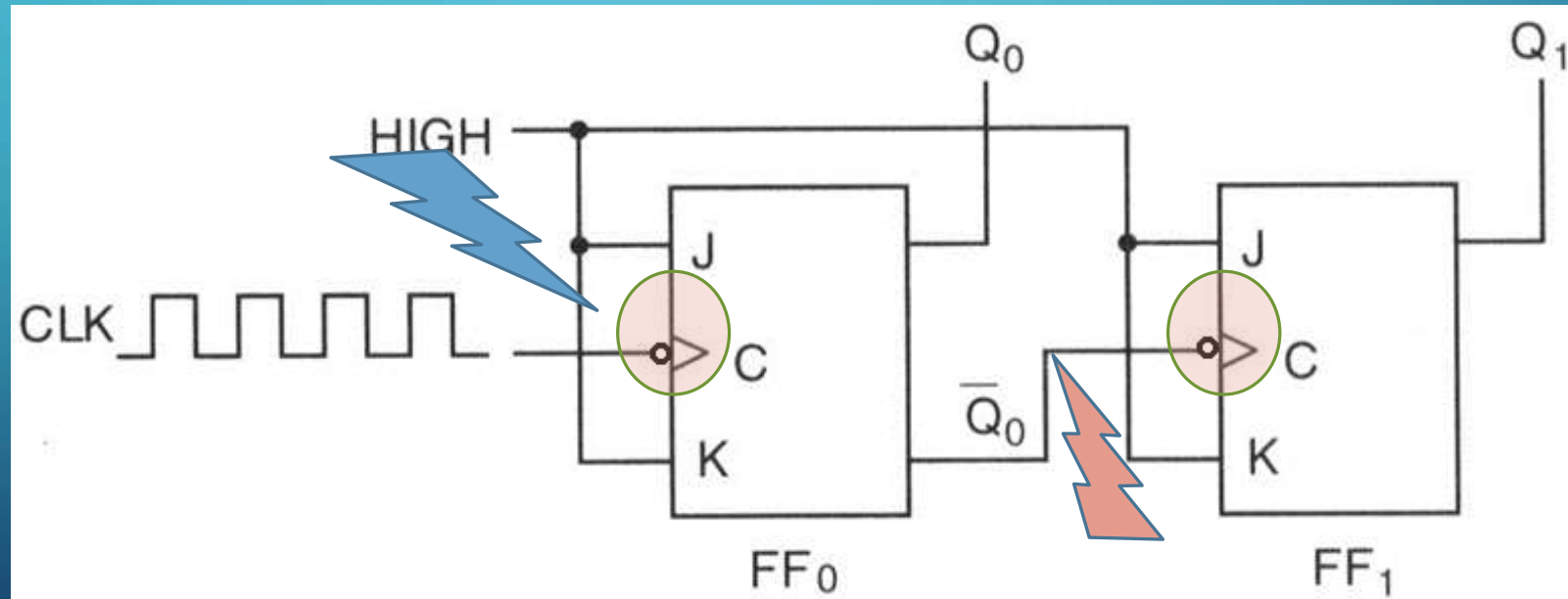


| Ποσό l (CLK) A/A | Q ₁ | Q ₀ |
|------------------------|----------------|----------------|
| 0 | 0 | 0 |
| 1 | 0 | 1 |
| 2 | 1 | 0 |
| 3 | 1 | 1 |
| 4 | 0 | 0 |

ΑΣΥΓΧΡΟΝΟΣ ΔΥΑΔΙΚΟΣ ΑΠΑΡΙΘΜΗΤΗΣ 2-BIT που αριθμεί προς τα κάτω

□ Πρώτη μέθοδος

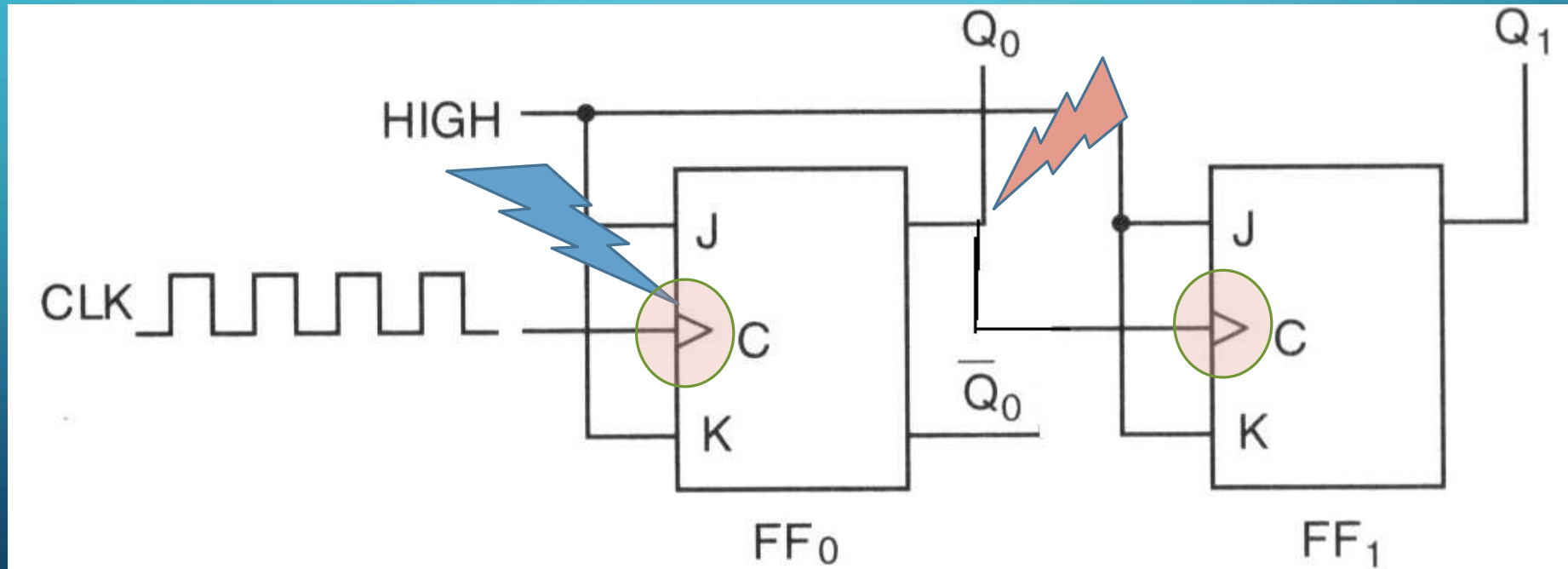
- Το **πρώτο** FF χρονίζεται στα **αρνητικά** μέτωπα των παλμών μέτρησης.
- Τα επόμενα FF χρονίζονται στο **αρνητικά** μέτωπο του παλμού της **εξόδου \bar{Q}** του προηγούμενου FF.



ΑΣΥΓΧΡΟΝΟΣ ΔΥΑΔΙΚΟΣ ΑΠΑΡΙΘΜΗΤΗΣ 2-BIT που αριθμεί προς τα κάτω

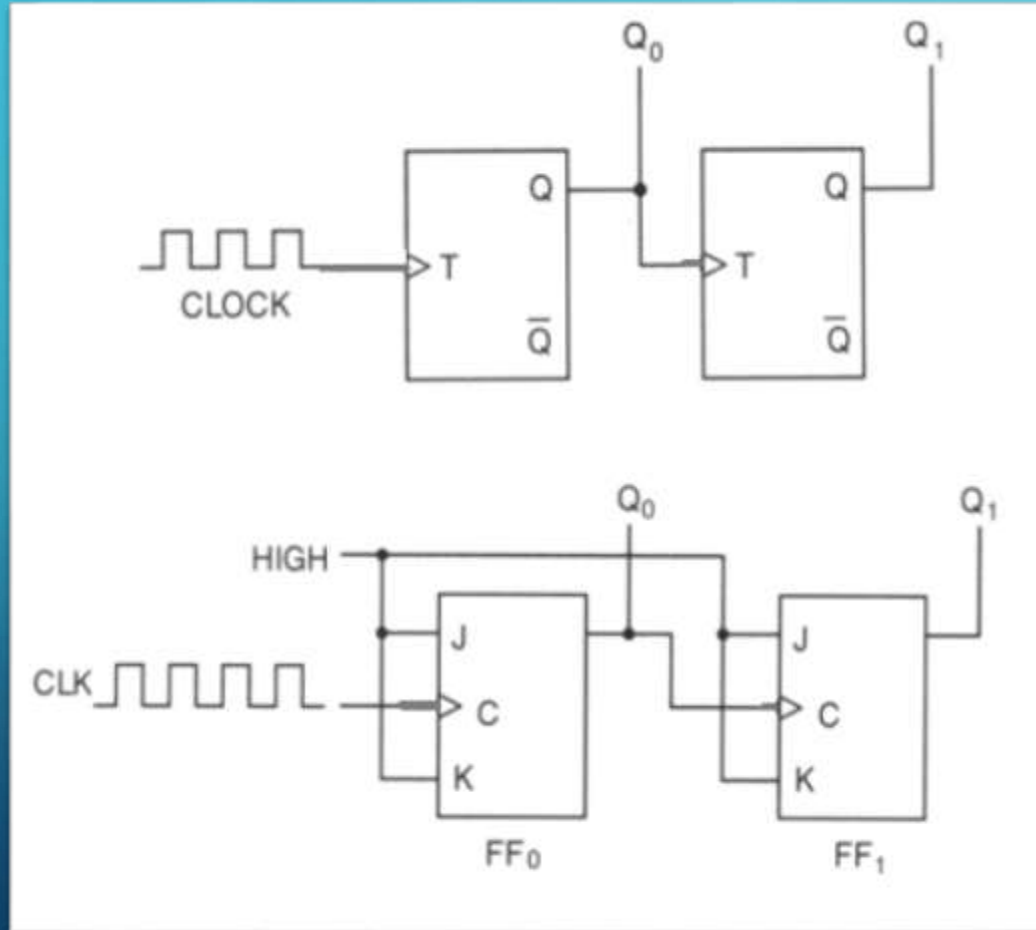
□ Δεύτερη μέθοδος

- Το **πρώτο** FF χρονίζεται στα **θετικά** μέτωπα των παλμών μέτρησης.
- Τα επόμενα FF χρονίζονται στο **θετικά** μέτωπο του παλμού της **εξόδου Q** του προηγούμενου FF.

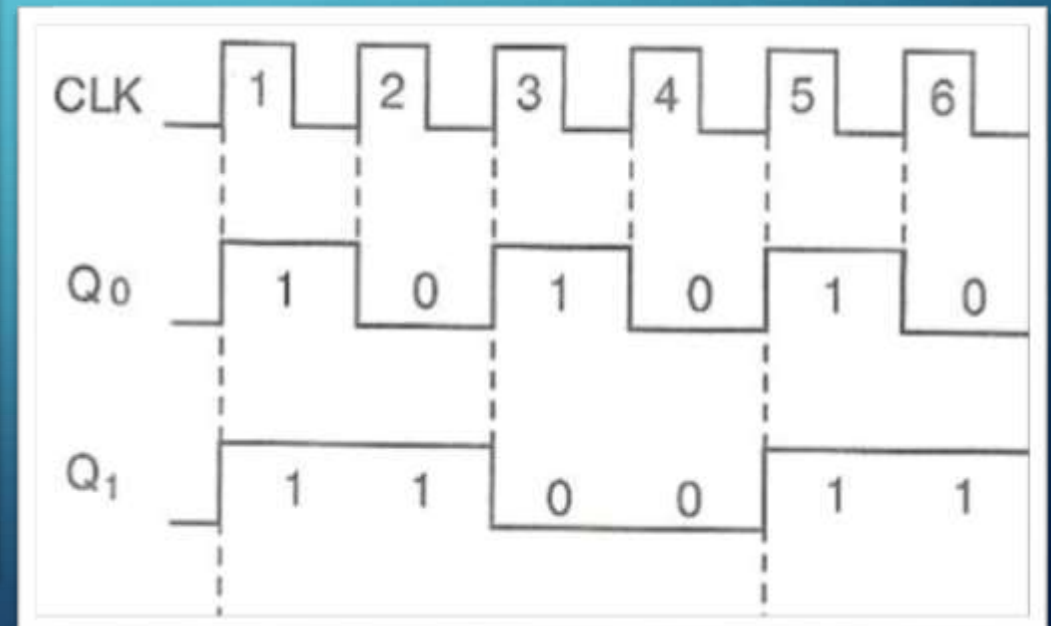


ΑΣΥΓΧΡΟΝΟΣ ΔΥΑΔΙΚΟΣ ΑΠΑΡΙΘΜΗΤΗΣ 2-BIT που αριθμεί προς τα κάτω

Χρονικά Διαγράμματα



| Ρολόι (CLK) A/A | Q ₁ | Q ₀ |
|-----------------|----------------|----------------|
| 0 | 0 | 0 |
| 1 | 1 | 1 |
| 2 | 1 | 0 |
| 3 | 0 | 1 |
| 4 | 0 | 0 |

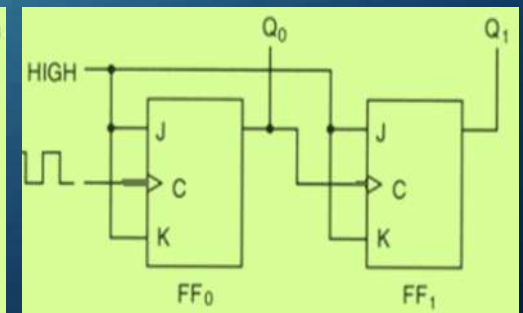
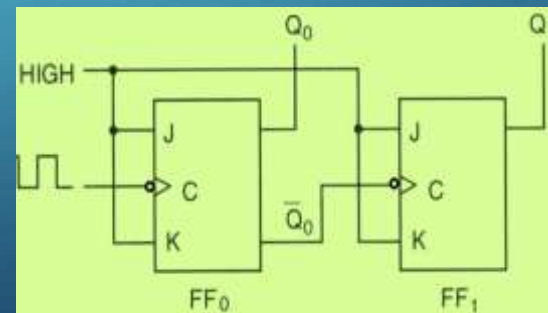
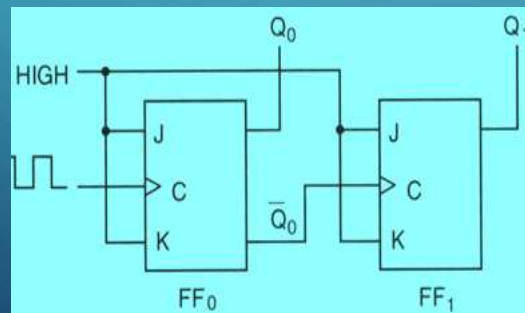
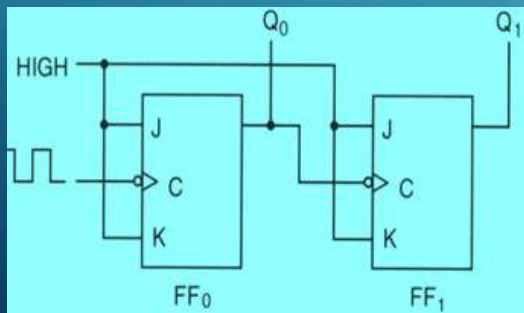


ΑΣΥΓΧΡΟΝΟΣ ΑΠΑΡΙΘΜΗΤΗΣ

Συμπέρασμα:

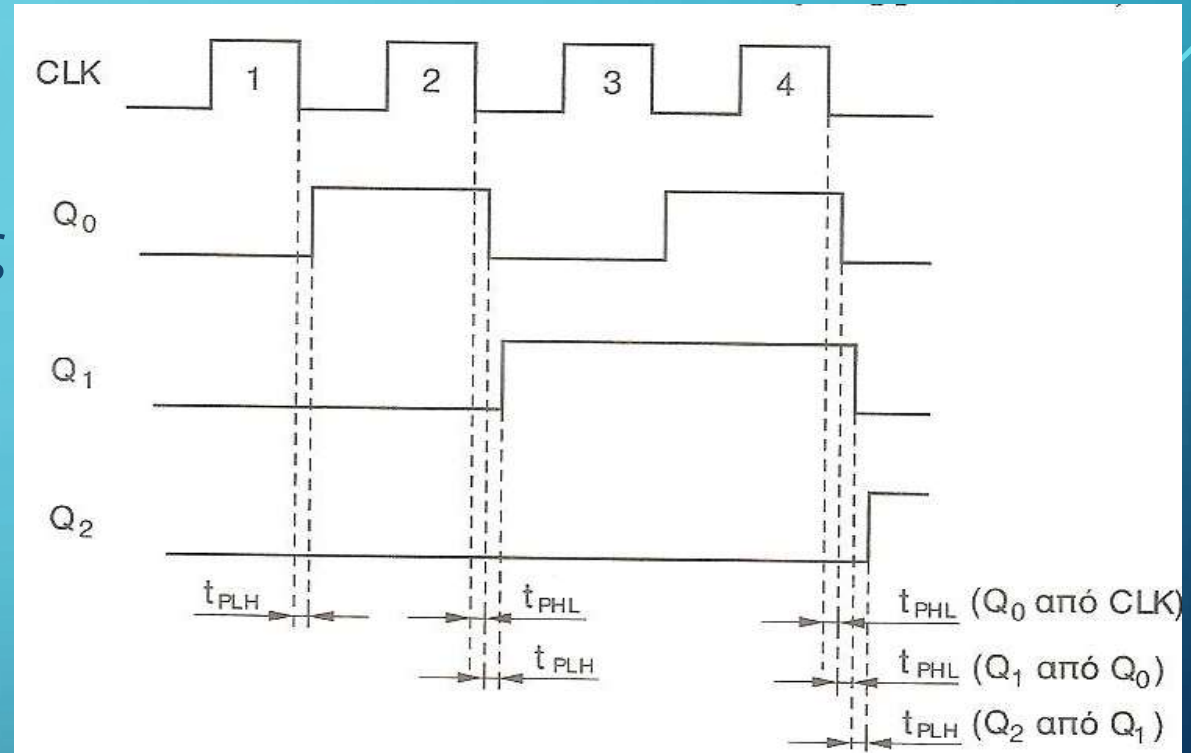
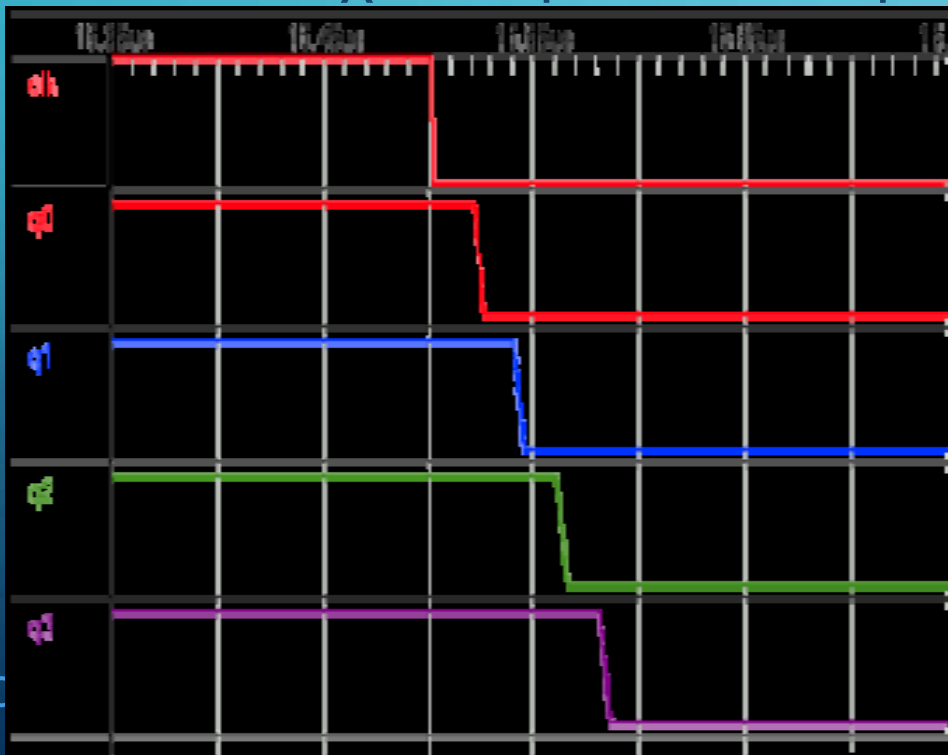
Οι παράγοντες που επηρεάζουν τη φορά καταμέτρησης (πάνω ή κάτω) του ασύγχρονου απαριθμητή είναι:

- **το είδος των FFs**, αν αυτά αλλάζουν κατάσταση στα θετικά ή αρνητικά μέτωπα των παλμών του CLK.
- **Ο τρόπος σύνδεσης του προηγούμενου με το επόμενο FF**



Πραγματική λειτουργία Ασύγχρονου Απαριθμητή

Λαμβάνοντας υπόψη τη χρονική καθυστέρηση με την οποία λειτουργούν τα FFs στους ασύγχρονους απαριθμητές τα χρονικά διαγράμματα απαριθμητή των 3-bit θα έχουν την πιο κάτω μορφή.



t_p - χρόνος που απαιτείται από τη στιγμή που διεγείρεται το FF μέχρις ότου αλλάξει η έξοδος του FF.

Συνολικός χρόνος καθυστέρησης = $n * t_p$

Πρέπει να είναι μικρότερος από τη περίοδο T

Μειονέκτημα του Ασύγχρονου Απαριθμητή

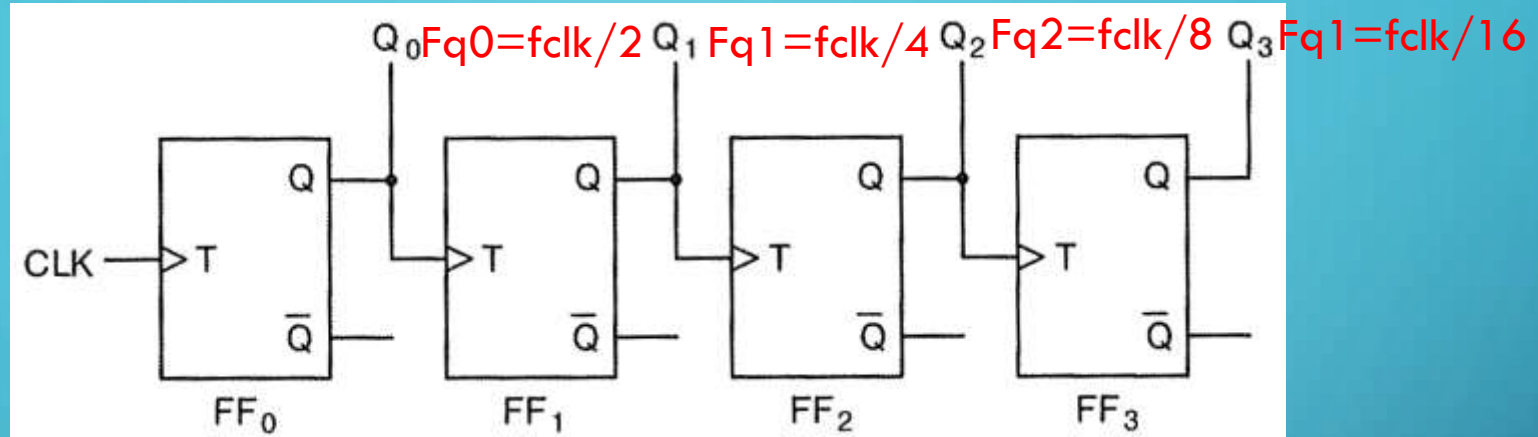
Υπάρχει περιορισμός στη μέγιστη συχνότητα των παλμών αρίθμησης, η οποία εξαρτάται από τον χρόνο καθυστέρησης των FF.

Όταν η συχνότητα των παλμών αρίθμησης είναι χαμηλή, ο χρόνος καθυστέρησης t_p (π.χ. 10ns) είναι μικρός και δεν επηρεάζει τη λειτουργία του απαριθμητή. Αν όμως η συχνότητα των παλμών μέτρησης είναι μεγάλη (πχ $f = 5\text{MHz}$, περίοδος $T = 200\text{ns}$), τότε ο συνολικός χρόνος καθυστέρησης του απαριθμητή δεν πρέπει να υπερβεί τα 200ns που είναι η περίοδος των παλμών μέτρησης, **διότι ο απαριθμητής θα μετρά λανθασμένα.**

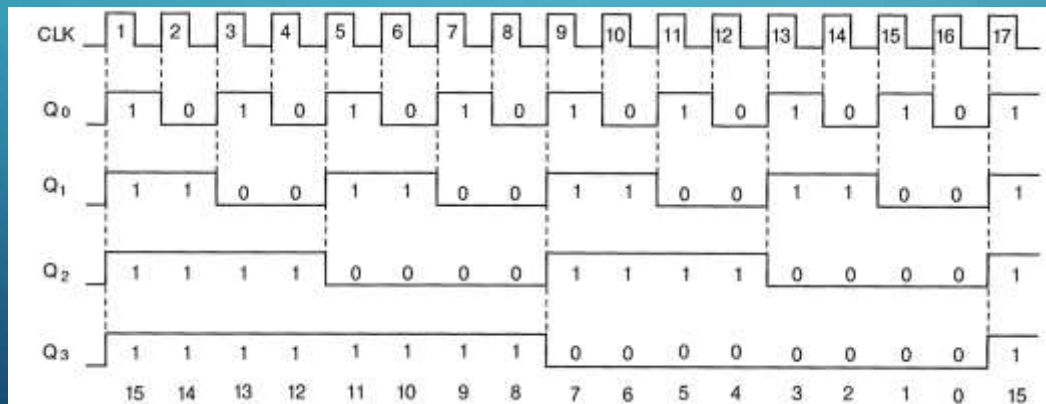
Αν n είναι ο αριθμός των FFs και t_p - χρόνος καθυστέρησης κάθε FF, Η μέγιστη συχνότητα υπολογίζεται :

$$f_{\max} = \frac{1}{n t_p}$$

Διαίρεση συχνότητας με Απαριθμητή



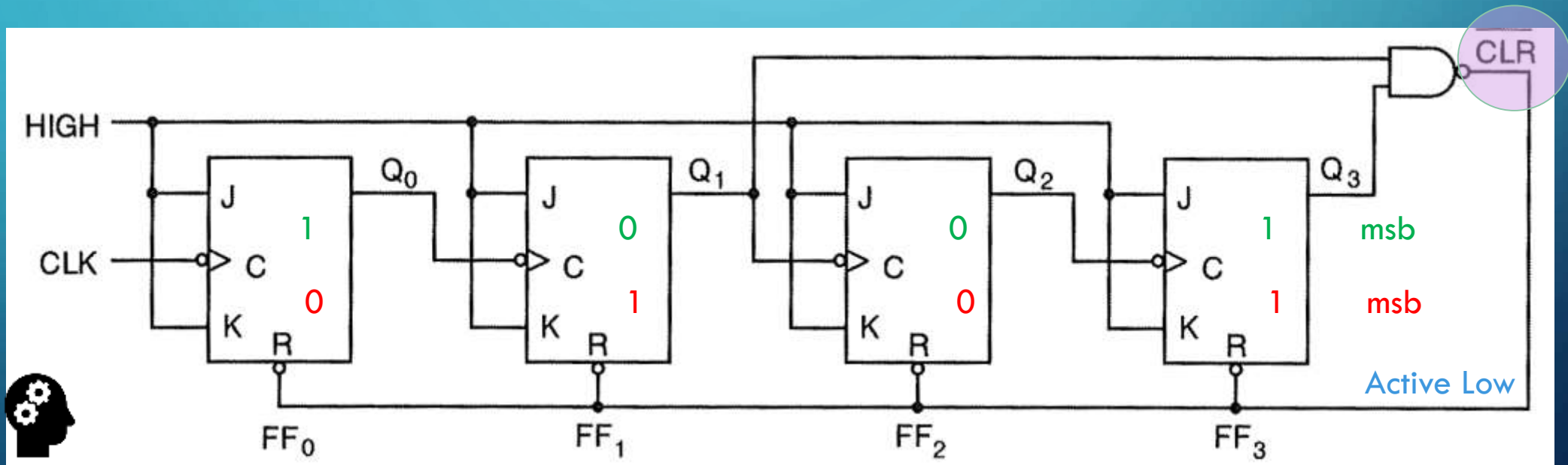
Ένας απαριθμητής με μέτρο N μπορεί να διαιρεί τη συχνότητα των παλμών μέτρησης εισόδου δια N .



$$f = \frac{f_{CLK}}{N}$$

Δεκαδικοί Ασύγχρονοι Απαριθμητές BCD Counters

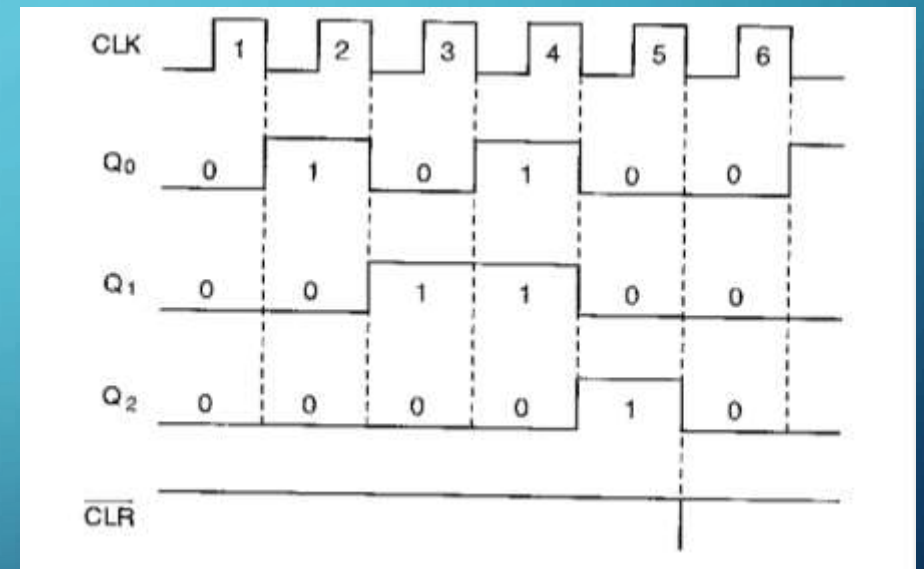
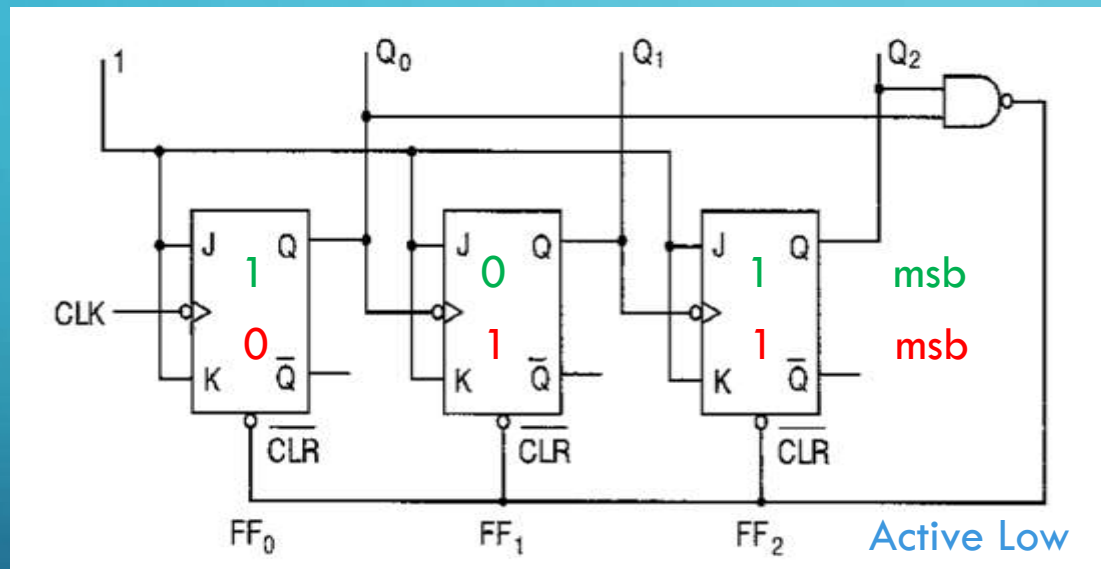
- Ο απαριθμητής μετρά 10 παλμούς (0 ~ 9).
- Στον ενδέκατο παλμό μέτρησης ο απαριθμητής μηδενίζεται με την βοήθεια της πύλης NAND και επαναρχίζει την αρίθμηση.



Ασύγχρονος Απαριθμητής με μέτρο 5

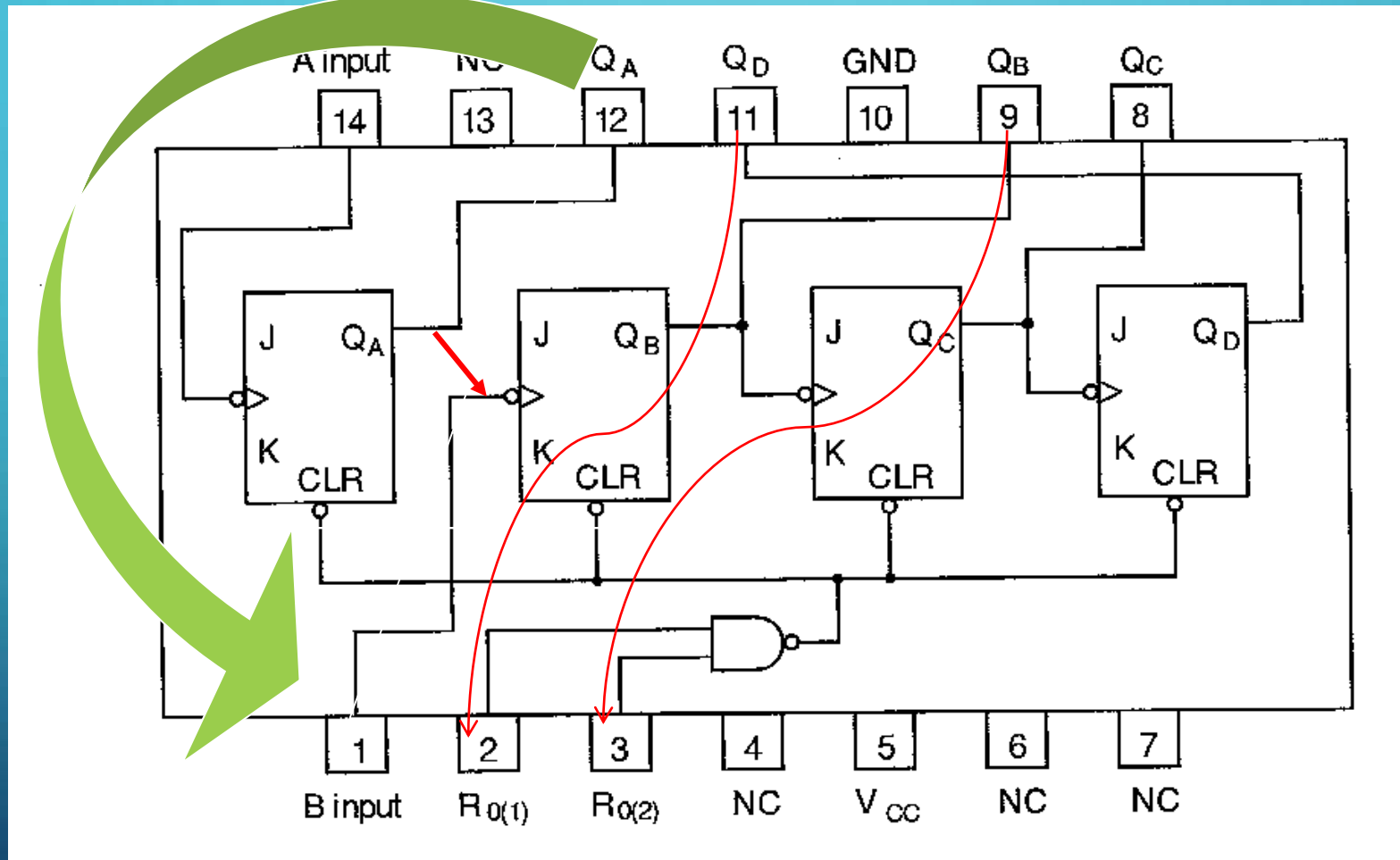
- Ο απαριθμητής μετρά 5 παλμούς (0 ~ 4).
- Στον έκτο παλμό μέτρησης ο απαριθμητής μηδενίζεται με την βοήθεια της πύλης NAND και επαναρχίζει την αρίθμηση.

5:
10:



$$f_{Q2} = \frac{f_{CLK}}{5}$$

Ασύγχρονοι απαριθμητές σε IC's IC-7493



Σύγχρονοι Απαριθμητές

Χαρακτηριστικά σύγχρονων απαριθμητών:

- Τα FFs των σύγχρονων απαριθμητών διεγείρονται ταυτόχρονα, έχουν δηλαδή κοινό ρολοϊ (CLK).
- Η μέγιστη συχνότητα λειτουργίας των σύγχρονων απαριθμητών είναι πιο μεγάλη από τη μέγιστη συχνότητα λειτουργίας των ασύγχρονων, διότι η χρονική καθυστέρηση στη διάδοση του σήματος είναι πιο μικρή, εφόσον όλα τα FFs διεγείρονται ταυτόχρονα.

Σύγχρονοι Απαριθμητές

- Τα FFs στους σύγχρονους απαριθμητές λειτουργούν στην κατάσταση **εναλλαγής (TOGGLE)** ή στην κατάσταση μνήμης (MEMORY).
- Οι σύγχρονοι απαριθμητές κατασκευάζονται με JK-FFs.
 - Όταν $J=K=0$ τότε το FF παραμένει στην κατάσταση μνήμης.
 - Όταν $J=K=1$ τότε το FF αλλάζει κατάσταση με κάθε χρονικό παλμό.
- Επειδή το CLK είναι κοινό, η κατάσταση των εισόδων J και K θα αλλάζει από 1 σε 0 με τη χρήση συνδυαστικού λογικού κυκλώματος όταν θα χρειάζεται να αλλάξει κατάσταση το FF.

Σύγχρονοι Απαριθμητές

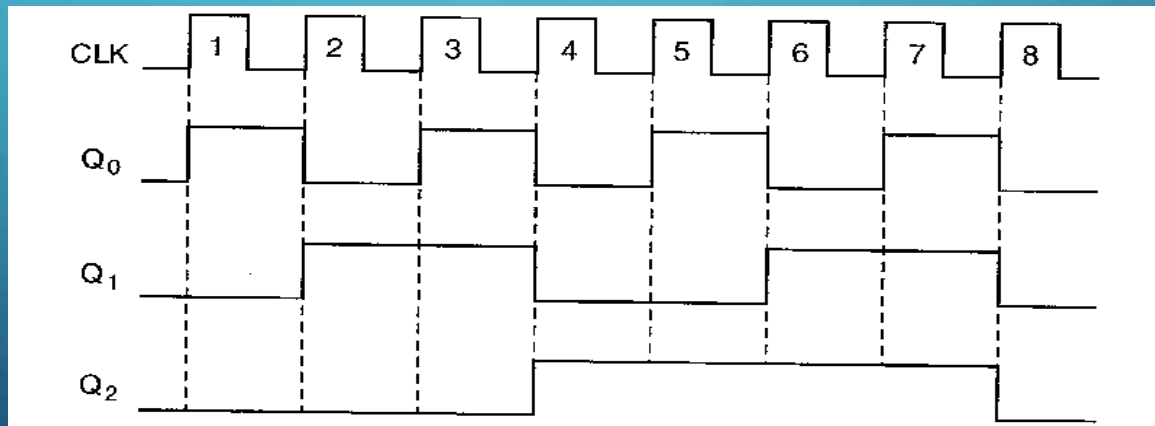
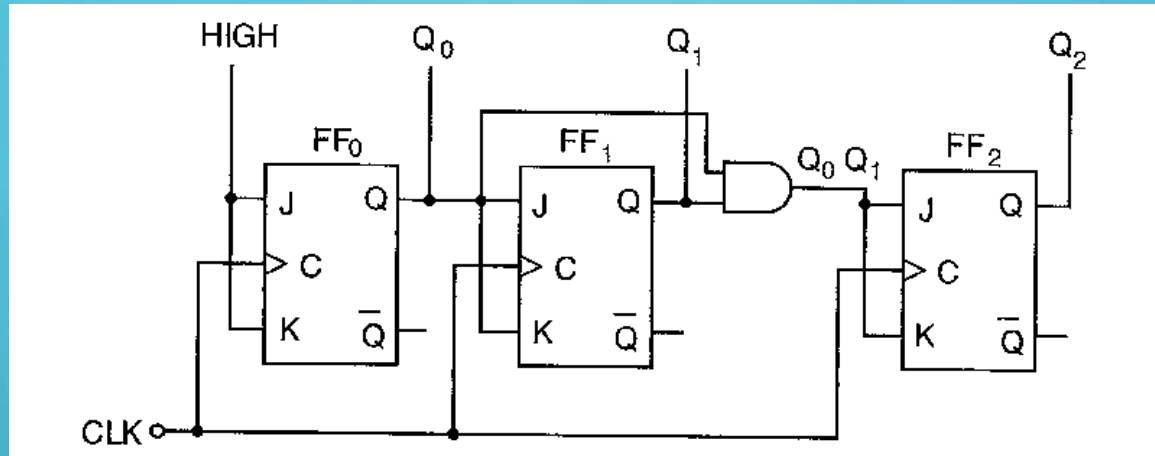
Όπως παρατηρούμε στο διπλανό πίνακα:

- το Q_0 αλλάζει σε κάθε παρυφή
- το Q_1 αλλάζει μόνο αν προηγουμένως το Q_0 είναι “1”
- το Q_2 αλλάζει μόνο αν προηγουμένως το Q_0 και το Q_1 είναι “1”
- το Q_3 αλλάζει μόνο αν προηγουμένως το Q_0 , το Q_1 και το Q_2 είναι “1”

```
0 0 0 0
0 0 0 1
0 0 1 0
0 0 1 1
0 1 0 0
0 1 0 1
0 1 1 0
0 1 1 1
1 0 0 0
1 0 0 1
1 0 1 0
1 0 1 1
1 1 0 0
1 1 0 1
1 1 1 0
1 1 1 1
```

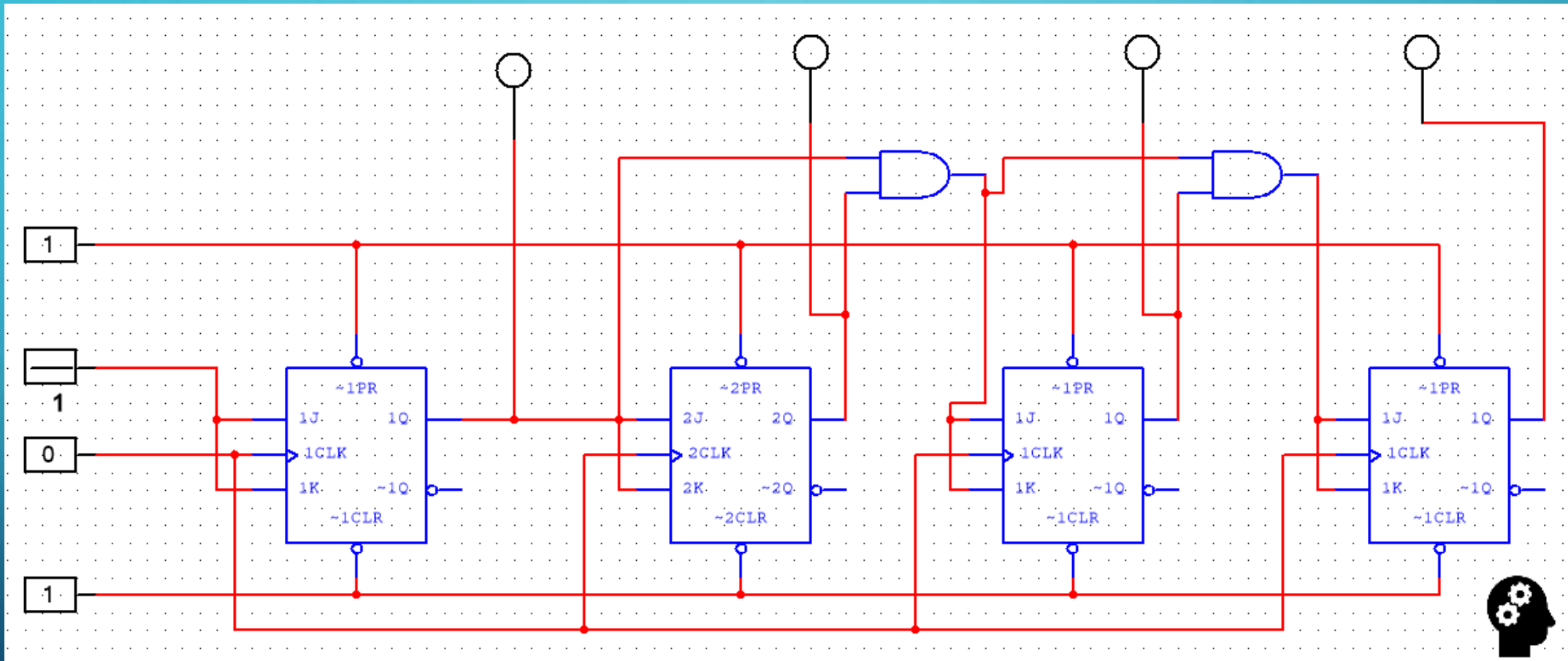
Σύγχρονος δυαδικός Απαριθμητής 3-bit που μετρά προς τα άνω

- * Το Q_0 αλλάζει κατάσταση με κάθε παλμό μέτρησης.
- * Το Q_1 αλλάζει κατάσταση μόνο, όταν η προηγούμενη λογική κατάσταση του $Q_0=1$
- * Το Q_2 αλλάζει κατάσταση μόνο όταν η προηγούμενη λογική κατάσταση του Q_0 και του Q_1 είναι 1 (χρήση πύλης AND).

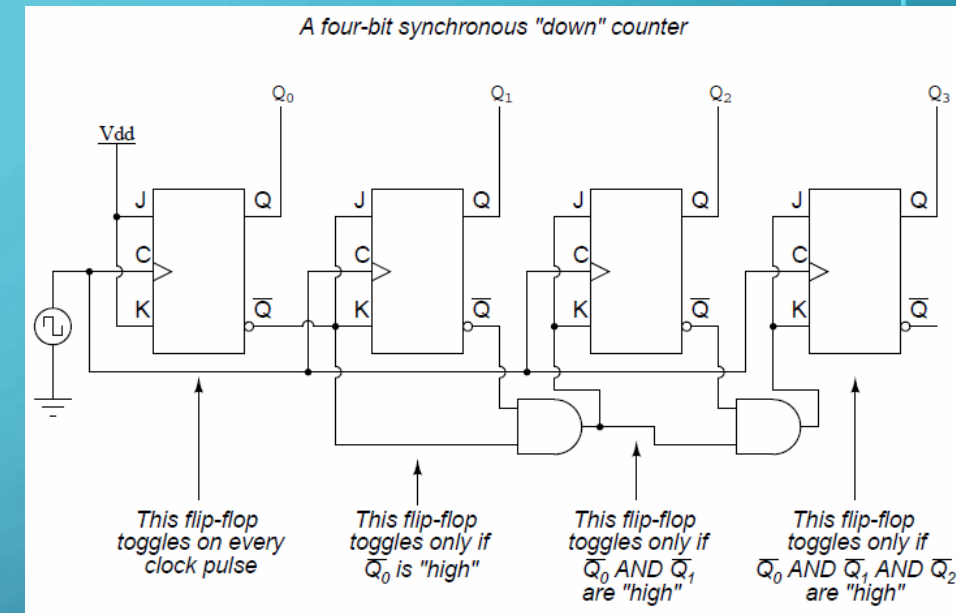
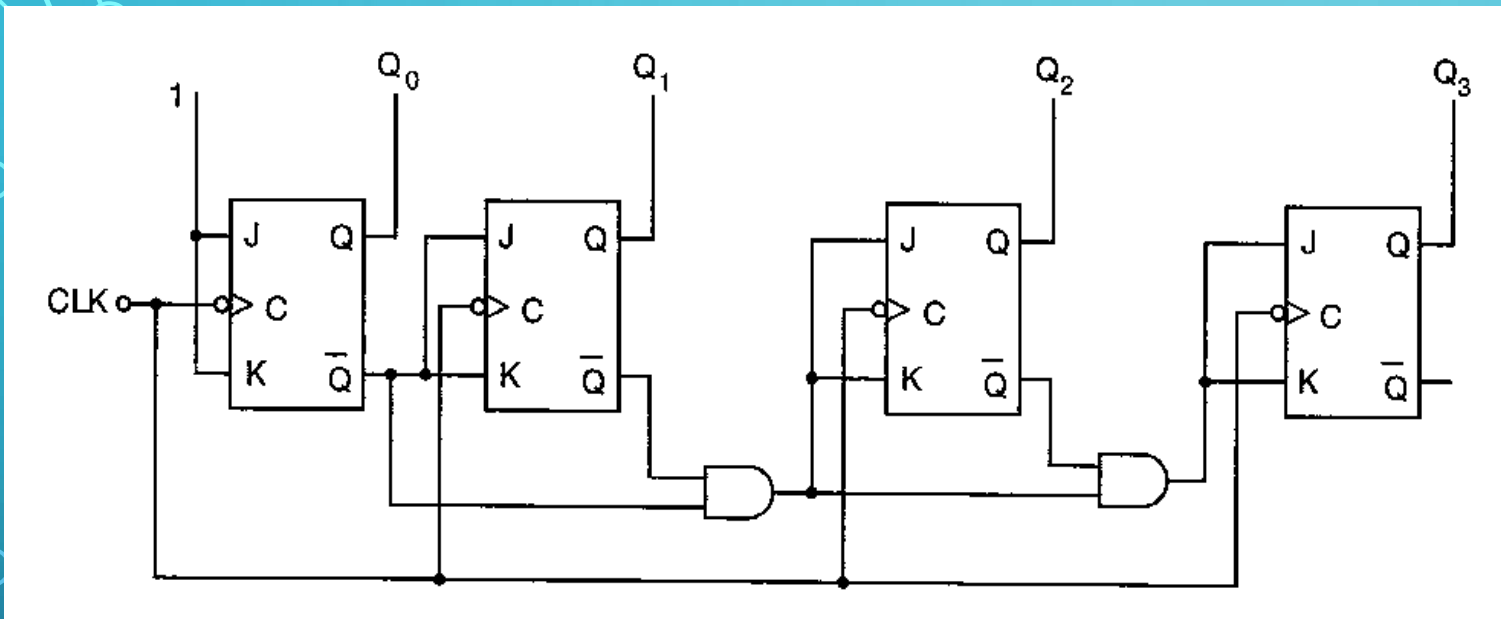


| Παλμοί | Q_2 | Q_1 | Q_0 |
|--------|-------|-------|-------|
| 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 |
| 2 | 0 | 1 | 0 |
| 3 | 0 | 1 | 1 |
| 4 | 1 | 0 | 0 |
| 5 | 1 | 0 | 1 |
| 6 | 1 | 1 | 0 |
| 7 | 1 | 1 | 1 |
| 8 | 0 | 0 | 0 |

Σύγχρονος δυαδικός Απαριθμητής 4-bit που μετρά προς τα πάνω



Σύγχρονος δυαδικός Απαριθμητής 4-bit που μετρά προς τα κάτω



Ο σύγχρονος απαριθμητής μετρά

- προς τα πάνω** όταν η έξοδος Q εφαρμόζεται στις εισόδους JK του επόμενου FF
- προς τα κάτω** όταν η έξοδος \bar{Q} εφαρμόζεται στις εισόδους JK του επόμενου FF

Εφαρμογές Απαριθμητών

- ❖ Οι απαριθμητές από μόνοι τους είναι κυκλώματα μέτρησης, δηλαδή είναι μετρητές ποσοτήτων διαφόρων αντικειμένων ή είναι μετρητές συχνοτήτων ή μετρητές παλμών σε ψηφιακά κυκλώματα.
- ❖ Οι απαριθμητές μπορούν να διαιρούν τους παλμούς μέτρησης με οποιονδήποτε αριθμό και να μας δίνουν έξοδο την οποία μπορούμε να χρησιμοποιήσουμε σε διάφορα κυκλώματα αυτοματισμών (PRESET counters) Ένας MOD - N απαριθμητής κάνει διαίρεση της συχνότητας δια N.
- ❖ Οι απαριθμητές χρησιμοποιούνται σε ψηφιακά ρολόγια. Ένα ψηφιακό ρολόι είναι γενικά ένας μετρητής παλμών, οι οποίοι έχουν συχνότητα 1 Hz.

Ασκήσεις στους πολυδονιτές και Κύκλωμα Σκανδάλης Σμιτ

Β' ΤΕΣΕΚ ΓΡΗΓΟΡΗΣ ΑΥΞΕΝΤΙΟΥ ΛΕΜΕΣΟΥ

ΦΥΛΛΑΔΙΟ ΑΥΤΟΑΞΙΟΛΟΓΗΣΗΣ ΨΗΦΙΑΚΩΝ ΗΛΕΚΤΡΟΝΙΚΩΝ Γ' ΕΤΟΥΣ
ΑΠΑΡΙΘΜΗΤΕΣ

ΤΜΗΜΑ : ΗΜΕΡΑ :

ΟΝΟΜΑ : 987854321

1. Να δώσετε τον ορισμό του ψηφιακού απαριθμητή.
Ο απαριθμητής (counter) είναι ένα ακολουθιακό κύκλωμα το οποίο στην έξοδό του απαριθμεί τους ωρολογιακούς παλμούς που λαμβάνει στην είσοδο. Αποτελείται από κατάλληλα συνδεδεμένα FF's

2. Να υπολογίσετε τον αριθμό των FFs που έχει ένας απαριθμητής με μέτρο 40 (MOD-40).
 $32 < 40 < 64 \Rightarrow 2^5 < 40 < 2^6$. Ο απαριθμητής έχει 6 ψηφιακά φλαπς.

3. Το μέτρο ενός απαριθμητή ορίζεται ως:

Β' ΤΕΣΕΚ ΓΡΗΓΟΡΗΣ ΑΥΞΕΝΤΙΟΥ ΛΕΜΕΣΟΥ

ΑΣΚΗΣΕΙΣ ΠΡΟΗΓΟΥΜΕΝΩΝ ΕΤΩΝ ΨΗΦΙΑΚΩΝ ΗΛΕΚΤΡΟΝΙΚΩΝ Γ' ΕΤΟΥΣ
ΑΠΑΡΙΘΜΗΤΕΣ

ΤΜΗΜΑ : ΗΜΕΡΑ :

ΟΝΟΜΑ : 123456789

1. Να επιλέξετε τις σωστές απαντήσεις.
(α) Ο χρόνος καθυστέρησης για κάθε **ψηφιακό φλαπ** ασύγχρονο δυαδικού απαριθμητή 4-bit είναι 5 ns. Η μέγιστη συχνότητα αριθμησης **max** του απαριθμητή είναι:
(1) 12,5 MHz
(2) **50 MHz**
(3) 200 MHz
(4) 1 GHz

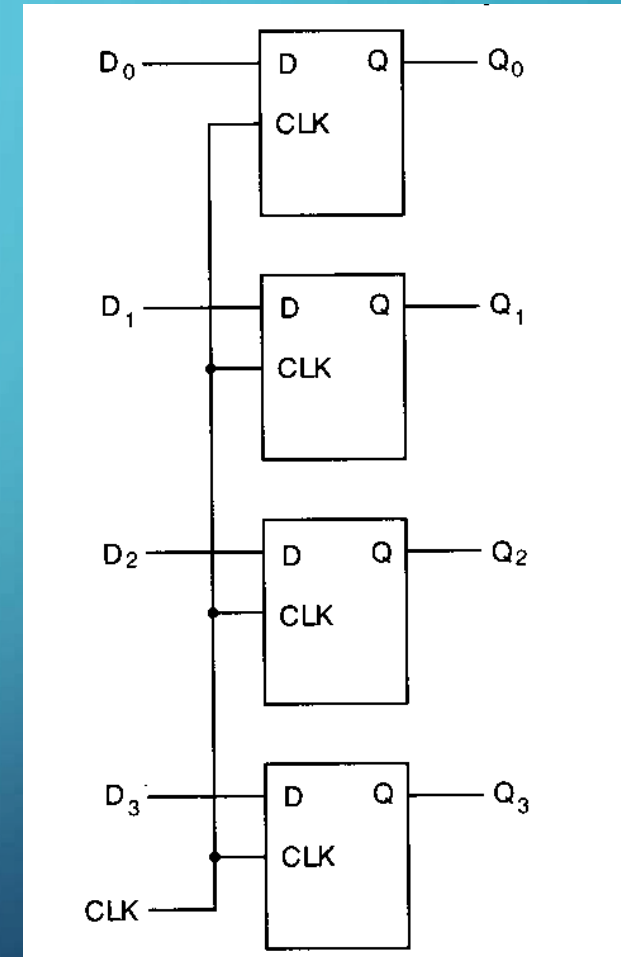
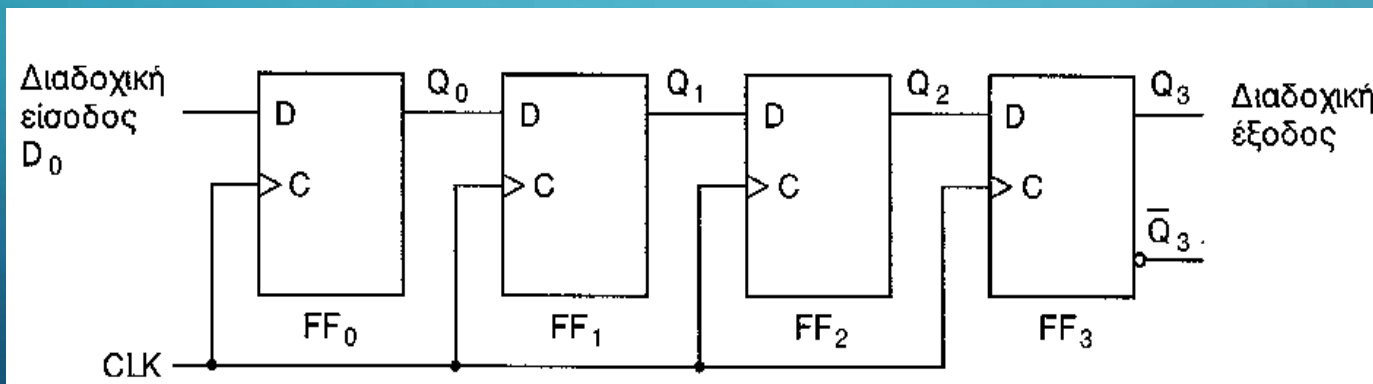
(β) Η λογική κατάσταση των εξόδων δυαδικού απαριθμητή 4-bit που μετρά προς τα κάτω είναι 0000. Η επόμενη λογική κατάσταση των εξόδων του απαριθμητή είναι:
(1) 0001
(2) **1111**

Διάλειμμα



Καταχωρητές Ορισμός

Οι καταχωρητές είναι ακολουθιακά λογικά κυκλώματα που χρησιμεύουν για την αποθήκευση και τη μεταφορά πληροφοριών σε ψηφιακά συστήματα.

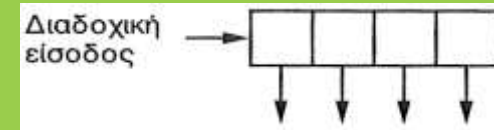


Τύποι Καταχωρητών

Ανάλογα με τον τρόπο εισόδου και εξόδου των πληροφοριών στον καταχωρητή υπάρχουν οι πιο κάτω κατηγορίες καταχωρητών:

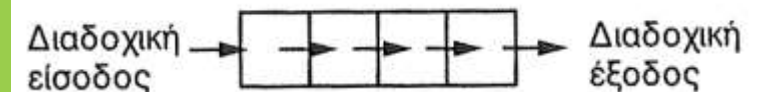
- Καταχωρητές με διαδοχική είσοδο και διαδοχική έξοδο

SISO : Serial In - Serial Out



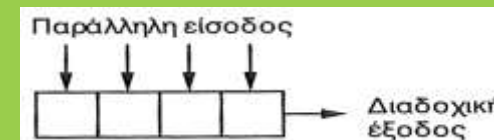
- Καταχωρητές με διαδοχική είσοδο και παράλληλη έξοδο

SIPO : Serial In - Parallel Out



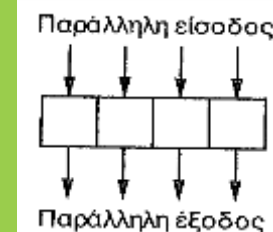
- Καταχωρητές με παράλληλη είσοδο και διαδοχική έξοδο

PISO : Parallel In - Serial Out

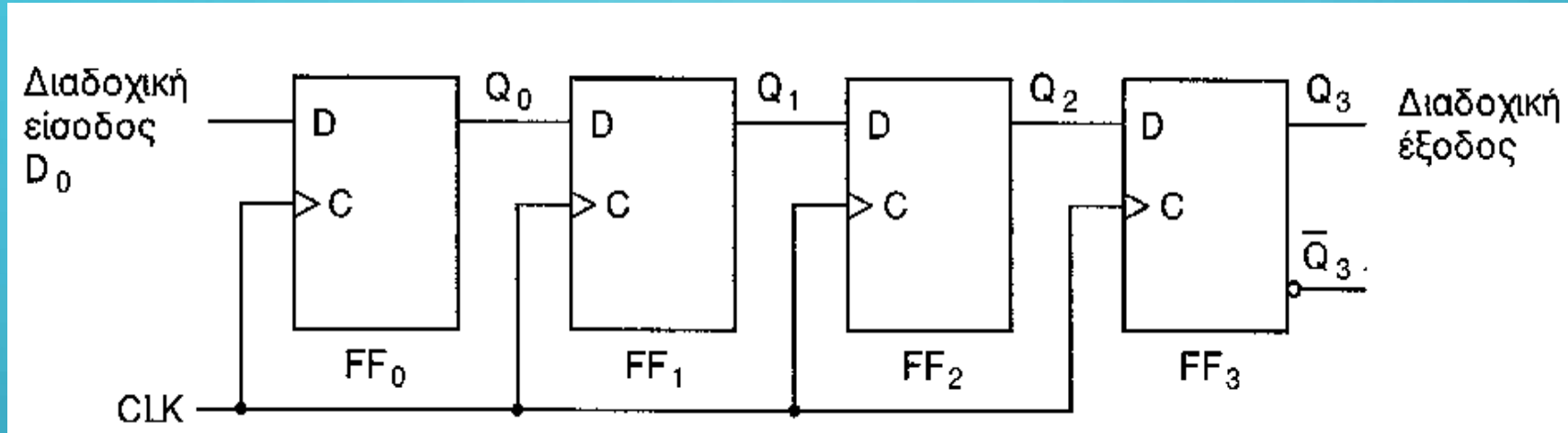


- Καταχωρητές με παράλληλη είσοδο και έξοδο παράλληλη

PIPO : Parallel In - Parallel Out

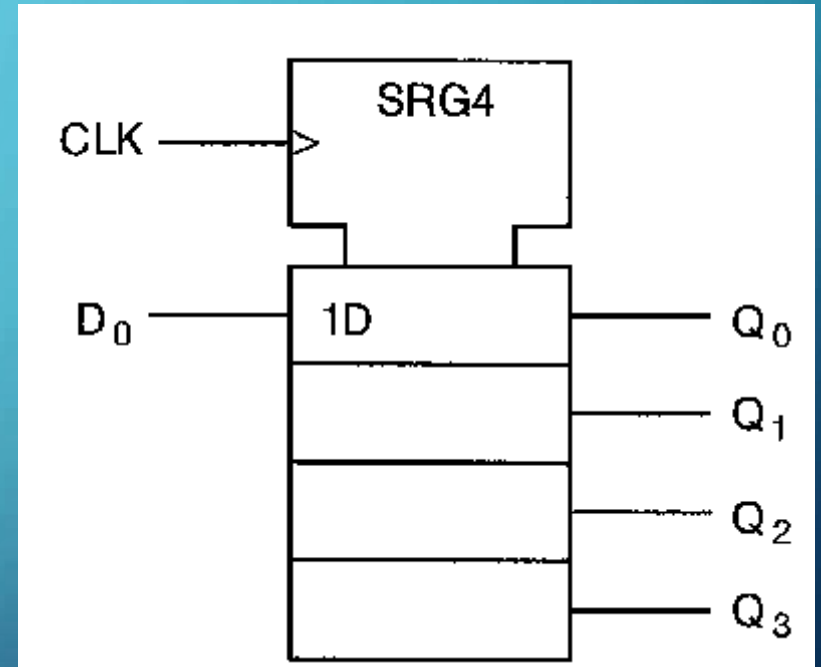
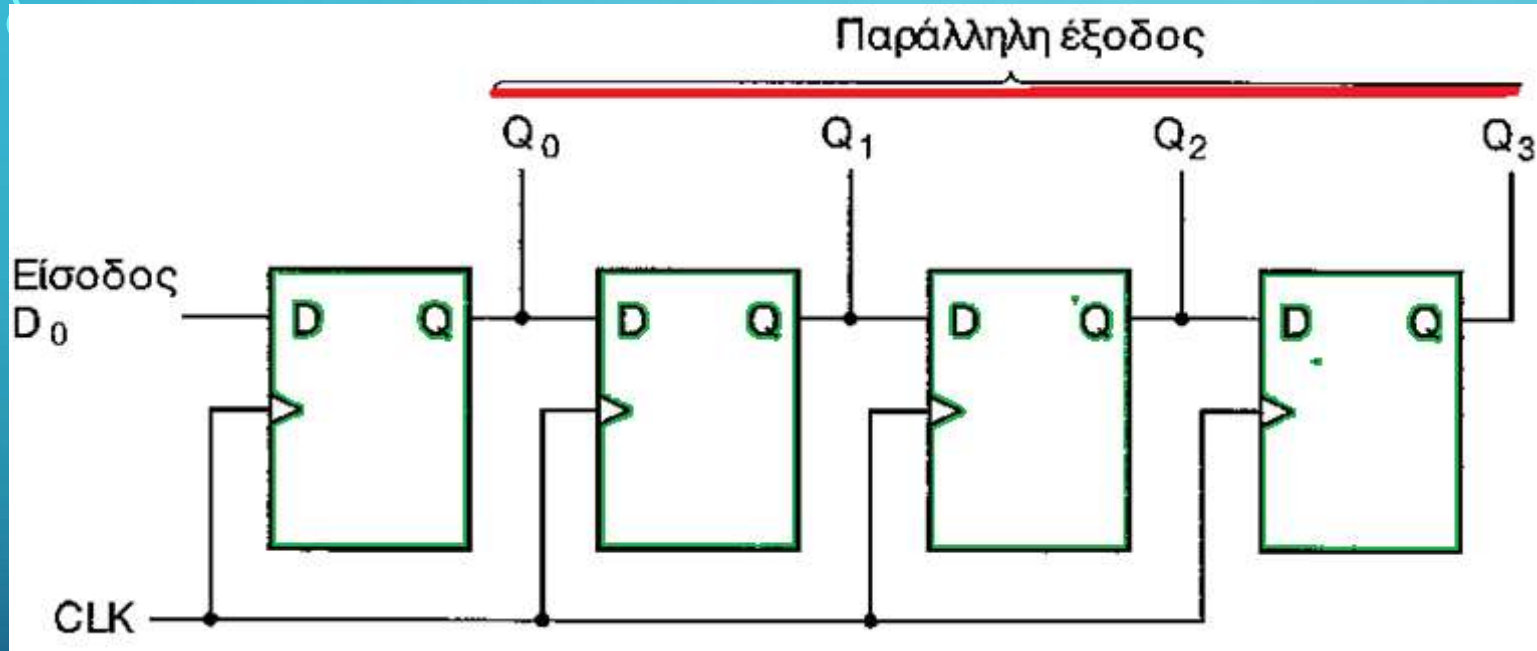


Λογικό κύκλωμα καταχωρητή των 4-bit με D-FFs με διαδοχική είσοδο και διαδοχική έξοδο **SISO**

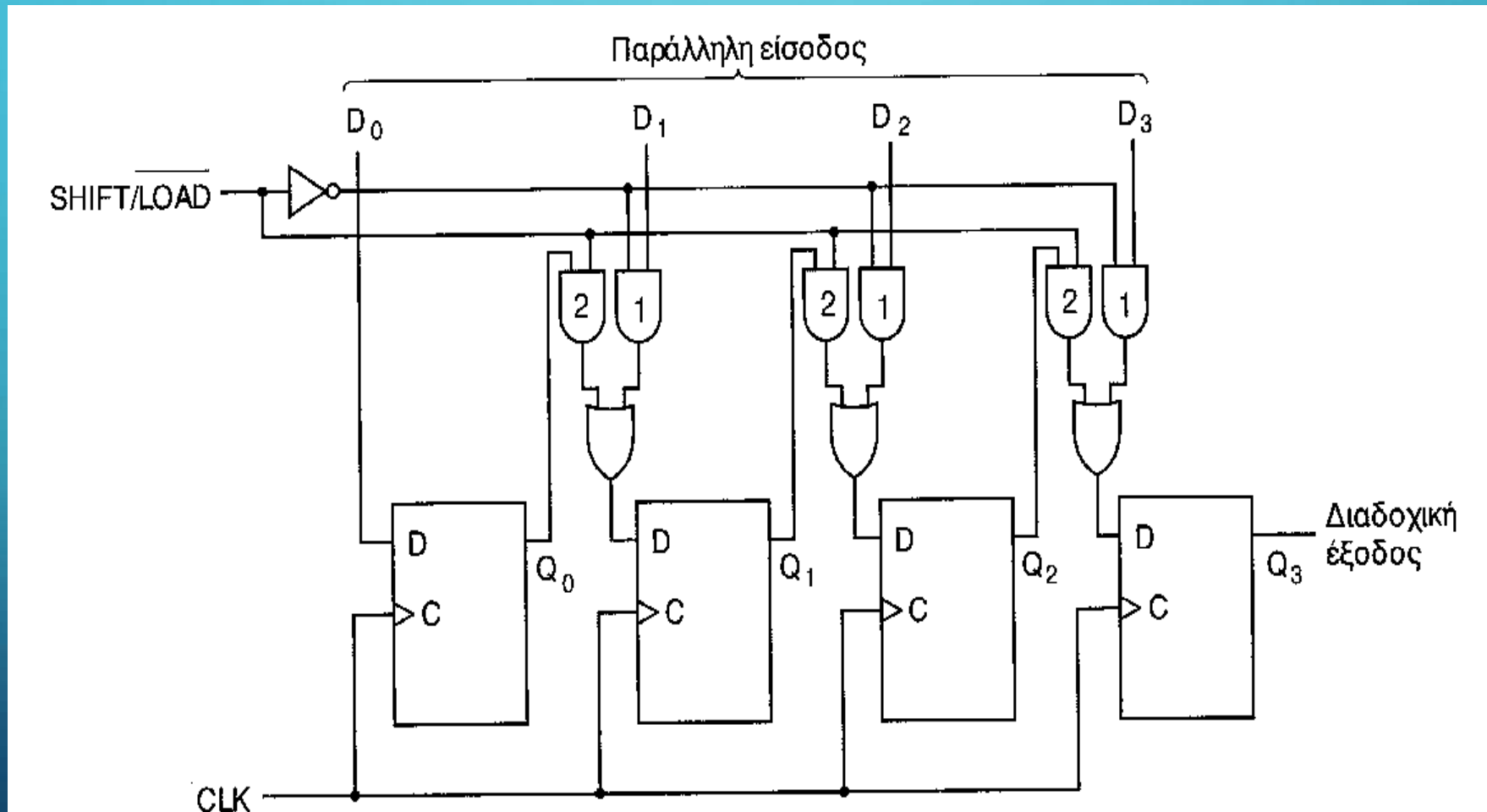


- Έστω ότι θέλουμε να αποθηκεύσουμε την πληροφορία 1001 στον καταχωρητή.
- Έστω ότι η αρχική κατάσταση του καταχωρητή είναι 0000.
- Τότε τα bits ολισθαίνουν από το ένα FF στο επόμενο με κάθε χρονικό παλμό.

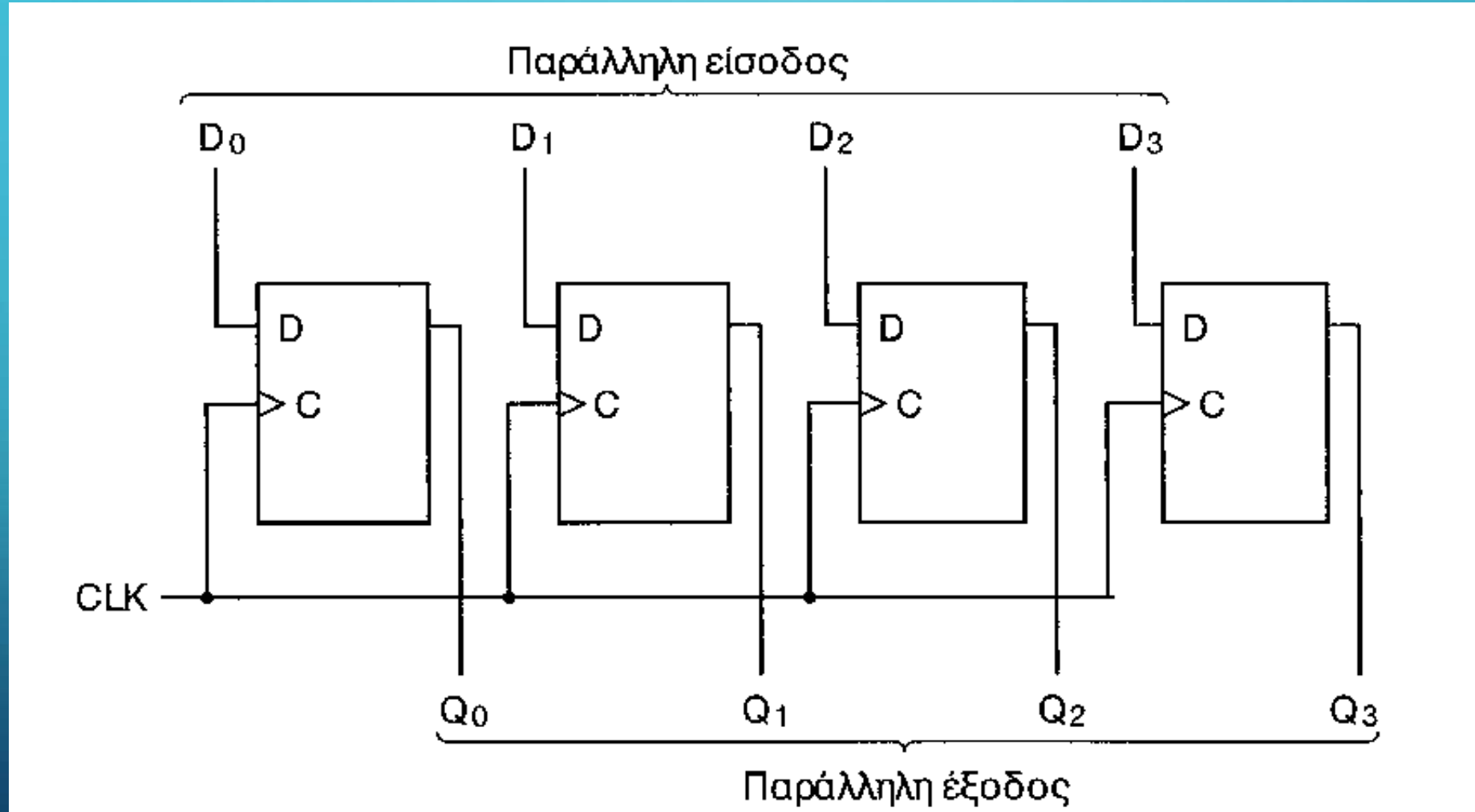
Κύκλωμα και λογικό σύμβολο καταχωρητή 4-bit με διαδοχική είσοδο και παράλληλη έξοδο (SIPO)



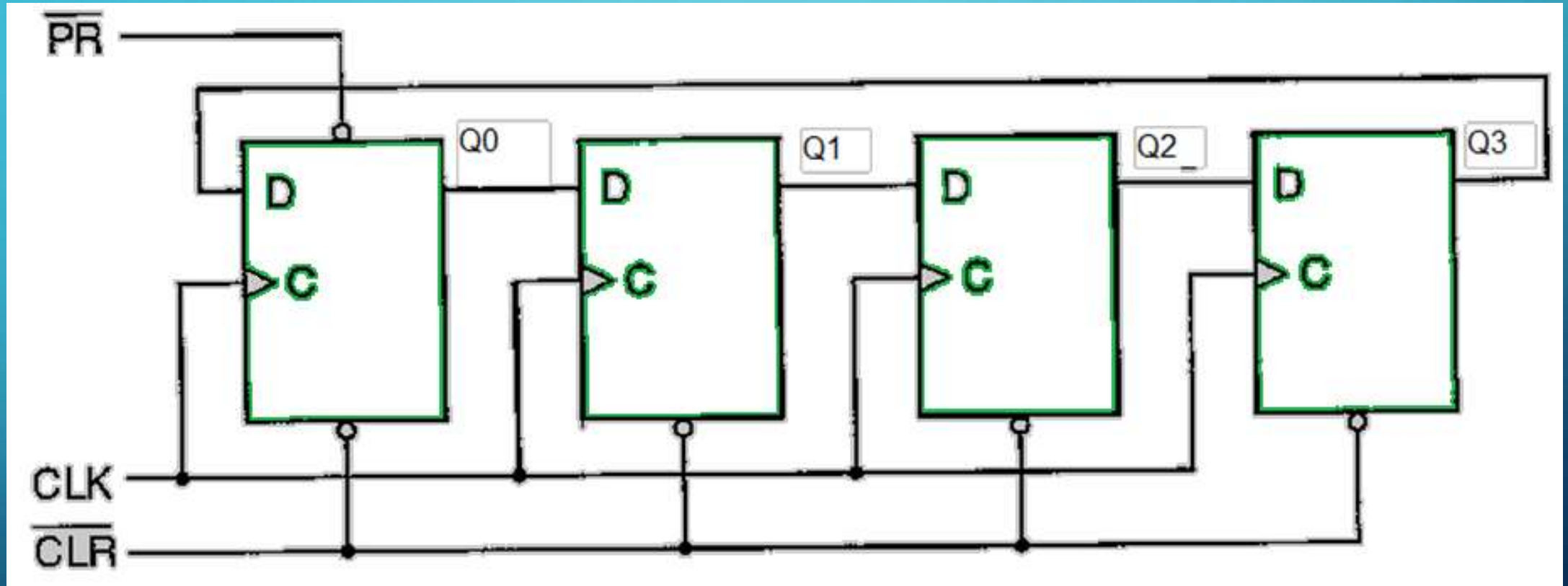
Καταχωρητής με Παράλληλη είσοδο και Διαδοχική έξοδο (PISO)



Καταχωρητής με Παράλληλη είσοδο και Παράλληλη Έξοδο (PIPO)



Κυκλικός Ολισθητής

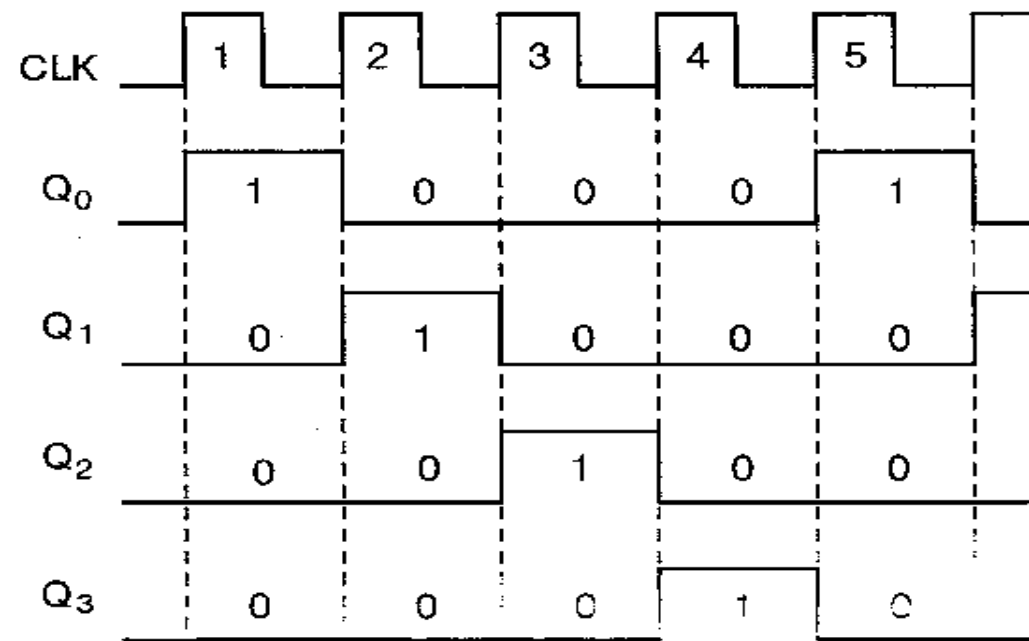


Κυκλικός Απαριθμητής (Ring counter)

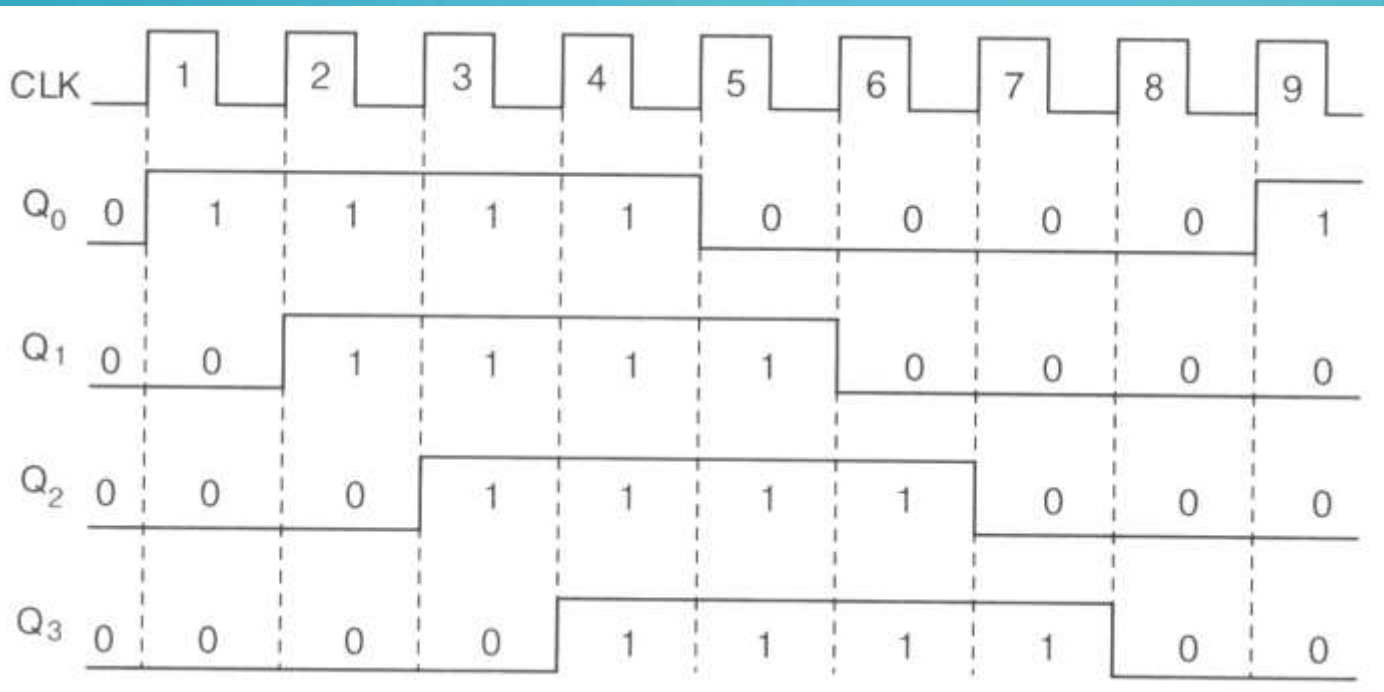
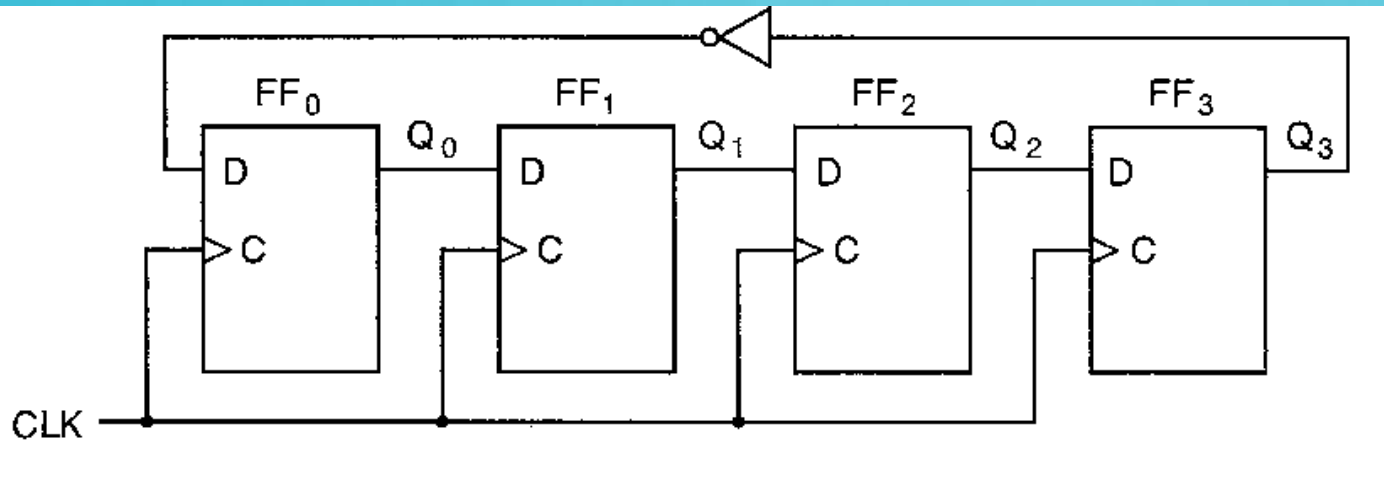
- Είναι κυκλικός απαριθμητής στον οποίο η καταχωρημένη κωδική λέξη περιλαμβάνει μόνο ένα 1 και τα υπόλοιπα bit είναι 0.
- Πίνακας λειτουργίας κυκλικού απαριθμητή

| Παλμός χρονισμού | Q ₀ | Q ₁ | Q ₂ | Q ₃ |
|------------------|----------------|----------------|----------------|----------------|
| 1 | 1 | 0 | 0 | 0 |
| 2 | 0 | 1 | 0 | 0 |
| 3 | 0 | 0 | 1 | 0 |
| 4 | 0 | 0 | 0 | 1 |
| 5 | · | · | · | · |
| · | · | · | · | · |
| · | · | · | · | · |

$$f_Q = \frac{f_{CLK}}{N}$$



Απαριθμητής ΤΖΟΝΣΟΝ – JOHNSON Counter



| Παλμός χρονισμού | Q ₀ | Q ₁ | Q ₂ | Q ₃ |
|------------------|----------------|----------------|----------------|----------------|
| 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 |
| 2 | 1 | 1 | 0 | 0 |
| 3 | 1 | 1 | 1 | 0 |
| 4 | 1 | 1 | 1 | 1 |
| 5 | 0 | 1 | 1 | 1 |
| 6 | 0 | 0 | 1 | 1 |
| 7 | 0 | 0 | 0 | 1 |
| 8 | 0 | 0 | 0 | 0 |
| 9 | 1 | 0 | 0 | 0 |
| . | . | . | . | . |
| . | . | . | . | . |

$$f_Q = \frac{f_{CLK}}{2N}$$

Εφαρμογές Καταχωρητών

- **ΣΤΟΙΧΕΙΑ ΜΝΗΜΗΣ:** Κυκλώματα αποθήκευσης πληροφοριών.
- **ΚΥΚΛΙΚΟΙ ΑΠΑΡΙΘΜΗΤΕΣ:** Εφαρμογές στη μορφή κυκλωμάτων κυκλικού απαριθμητή και του απαριθμητή Johnson.
- **ΚΥΚΛΩΜΑΤΑ ΧΡΟΝΙΚΗΣ ΚΑΘΥΣΤΕΡΗΣΗΣ:** Καθυστέρηση στη μεταφορά πληροφοριών για ορισμένο χρονικό διάστημα, έτσι ώστε να υπάρχει συγχρονισμός.
- **ΜΕΤΑΤΡΟΠΗ ΣΕΙΡΙΑΚΟΥ ΨΗΦΙΑΚΟΥ ΣΗΜΑΤΟΣ ΣΕ ΠΑΡΑΛΛΗΛΟ ΚΑΙ ΑΝΤΙΣΤΡΟΦΑ.**

Β΄ ΤΕΣΕΚ ΓΡΗΓΟΡΗΣ ΑΥΞΕΝΤΙΟΥ ΛΕΜΕΣΙΟΥ

| | |
|--|---------------|
| ΦΥΛΛΑΔΙΟ ΑΥΤΟΑΞΙΟΛΟΓΗΣΗΣ ΨΗΦΙΑΚΩΝ ΗΛΕΚΤΡΟΝΙΚΩΝ Γ' ΕΤΟΥΣ ΚΑΤΑΧΩΡΗΤΕΣ - ΟΛΙΣΘΗΤΕΣ | |
| ΤΜΗΜΑ : | ΗΜΕΡΑ : |
| ΟΝΟΜΑ : | |

- Να δώσετε τον ορισμό του Καταχωρητή.
Οι καταχωρητές είναι ακολουθιακά λογικά κυκλώματα που χρησιμεύουν για την προσωρινή αποθήκευση και τη μεταφορά πληροφοριών σε ψηφιακά συστήματα.
- Να αναφέρετε τον τύπο του Φλιπ Φλοπ που χρησιμοποιείται συνήθως για την κατασκευή ενός καταχωρητή.
Χρησιμοποιείται D-Flop flop
- Πόσα Φλιπ φλοπς χρειάζομαστε για να αποθηκεύσουμε μια πληροφορία 8 bits;
Χρειάζομαστε 8 Flop flops

Β΄ ΤΕΣΕΚ ΓΡΗΓΟΡΗΣ ΑΥΞΕΝΤΙΟΥ ΛΕΜΕΣΙΟΥ

| | |
|--|---------------|
| ΑΣΚΗΣΕΙΣ ΠΡΟΗΓΟΥΜΕΝΩΝ ΕΤΩΝ ΨΗΦΙΑΚΩΝ ΗΛΕΚΤΡΟΝΙΚΩΝ Γ' ΕΤΟΥΣ ΚΑΤΑΧΩΡΗΤΕΣ - ΟΛΙΣΘΗΤΕΣ | |
| ΤΜΗΜΑ : | ΗΜΕΡΑ : |
| ΟΝΟΜΑ : | |

- Να επιλέξετε τις σωστές απαντήσεις. (2019/6)
(α) Ο χρόνος που απαιτείται για να καταχωρηθεί μια κωδική λέξη των 8-bit σε ένα καταχωρητή με διαδοχική είσοδο και συχνότητα ωρολογίου CLK 100 kHz, είναι:
(1) 80 μs $T = 8 \cdot 1 / 100 \text{ ms} = 80 \mu\text{s}$
(2) 8 μs
(3) 80 ms
(4) 10 μs

(β) Καταχωρητής 8-bit με διαδοχική είσοδο και διαδοχική έξοδο χρησιμοποιείται για να δημιουργήσει χρονική καθυστέρηση 24 μs. Η συχνότητα του ωρολογίου CLK του καταχωρητή είναι:
(1) 41,67 kHz
(2) 333,34 kHz $T = 24 \mu\text{s} \rightarrow f = 1/T = 1/3 \text{ MHz} = 333,34 \text{ kHz}$
(3) 125 kHz
(4) 8 MHz

Διάλειμμα

